

(2)

## PATENT ABSTRACTS OF JAPAN

(51)Int.Cl.

(11)Publication number : 09-074199  
(43)Date of publication of application : 18.03.1997

H01L 29/78

H01L 29/28

H01L 29/43

H01L 21/316

(21)Application number : 07-330119  
(22)Date of filing : 19.12.1995(71)Applicant :  
(72)Inventor :MATSUSHITA ELECTRIC IND CO LTD  
MATSUMOTO MICHICHI  
FUJII MINORU  
YABU TOSHIKI(30)Priority  
Priority number : 07 3012 Priority date : 12.01.1995 Priority country : JP  
07184978 30.06.1995 JP

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

<http://www1.ipdljpo.go.jp/PA1/result/detail/main/wAAAa14446DA409074199P1.htm>

01/04/10

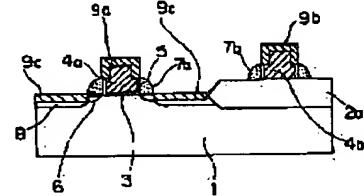
Searching PAJ

2/2 ~-~

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device having silicide structure wherein an FET having a low resistance value corresponding to a fine pattern is arranged.

SOLUTION: A polysilicon electrode 4a is formed, via a gate oxide film 3, on a polysilicon substrate 1 in an active region surrounded by element isolation. A polysilicon wiring 4b is formed on the element isolation. A source/drain region 8 is formed on both sides of the polysilicon electrode 4a. On both sides of polysilicon, films constituting the electrode 4a and the wiring 4b, side walls 7a, 7b whose heights are at most 4/5 of the height of the polysilicon films are formed. Silicide layers 9a, 9b are formed which are in contact with the upper surfaces of the polysilicon films and the parts above the side walls on both side surfaces. A silicide layer 9c which is in contact with the source drain region 8 is formed. Since the sectional areas of the silicide layers 9a, 9b are enlarged, low resistance can be maintained even when the size of the polysilicon films is made fine.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2000 Japanese Patent Office

<http://www1.ipdljpo.go.jp/PA1/result/detail/main/wAAAa14446DA409074199P1.htm>

01/04/10



(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-74199

(43) 公開日 平成9年(1997)3月18日

(51) IntCl.<sup>6</sup>  
 H 01 L 29/78  
 21/28  
 29/43  
 21/336

識別記号  
 3 0 1

府内整理番号

F 1  
 H 01 L 29/78  
 21/28  
 29/46  
 29/78

3 0 1 G  
 3 0 1 S  
 D  
 3 0 1 Y

技術表示箇所

審査請求 未請求 請求項の数34 OL (全28頁)

(21) 出願番号

特願平7-330119

(22) 出願日

平成7年(1995)12月19日

(31) 優先権主張番号 特願平7-3012  
 (32) 優先日 平7(1995)1月12日  
 (33) 優先権主張国 日本 (JP)  
 (31) 優先権主張番号 特願平7-164976  
 (32) 優先日 平7(1995)6月30日  
 (33) 優先権主張国 日本 (JP)

(71) 出願人

000005821  
松下電器産業株式会社  
大阪府門真市大字門真1006番地

(72) 発明者

松元 道一  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者

藤井 稔  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者

森 俊樹  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

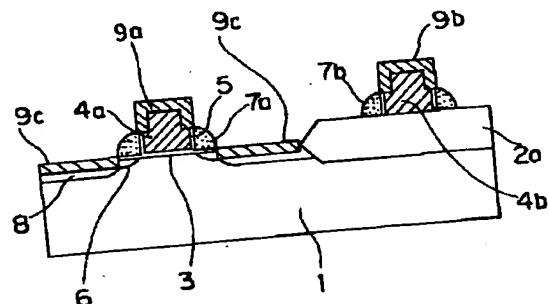
(74) 代理人 弁理士 前田 弘 (外1名)

(54) 【発明の名称】 半導体装置およびその製造方法

## (57) 【要約】

【課題】 サリサイド構造を有し、パターンの微細化に対応した低抵抗値を有するFETを配置した半導体装置を提供する。

【解決手段】 素子分離2で囲まれる活性領域のシリコン基板1の上にゲート酸化膜3を介してポリシリコン電極4aを設け、素子分離2の上にポリシリコン配線4bを設け、ポリシリコン電極4aの両側方にソース・ドレイン領域8を設ける。電極4a及び配線4bを構成するポリシリコン膜の両側方にポリシリコン膜の高さの4/5以下の高さを有するサイドウォール7a, 7bを形成し、さらにポリシリコン膜の上面と両側面のサイドウォールよりも上方の部分とに接するシリサイド層9a, 9bと、ソース・ドレイン領域8に接するシリサイド層9cとを設ける。シリサイド層9a, 9bの断面積が拡大するので、ポリシリコン膜の寸法が微細化されても抵抗値を小さく維持できる。



- |                  |                 |
|------------------|-----------------|
| 1 シリコン基板 (半導体基板) | 7a 電極部サイドウォール   |
| 2a 素子分離          | 7b 配線部サイドウォール   |
| 3 ゲート酸化膜         | 8 高濃度ソース・ドレイン領域 |
| 4 ポリシリコン電極       | 9a 電極部シリサイド層    |
| 5 保護酸化膜          | 9b 配線部シリサイド層    |
| 6 低濃度ソース・ドレイン領域  | 9c 基板部シリサイド層    |

(2)

## 【特許請求の範囲】

【請求項1】 半導体基板の一部に設けられた活性領域と、

上記活性領域を取り囲む素子分離と、  
少なくとも上記活性領域の上に形成され上記活性領域上でゲート電極として機能する線状のポリシリコン膜と、  
上記ポリシリコン膜の両側面の上に形成され上記ポリシリコン膜の高さの4/5以下の高さを有する絶縁膜からなる1対のサイドウォールと、  
上記ポリシリコン膜の上面と上記ポリシリコン膜の両側面のうち上記サイドウォールの上方となる部分とに接して形成され上記活性領域上で上記ポリシリコン膜と共にゲート電極として機能するシリサイド層と、  
上記活性領域のうち上記ポリシリコン膜の両側方に位置する領域に形成されたソース・ドレイン領域とを少なくとも備えていることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、  
上記ポリシリコン膜は、上記活性領域及び素子分離の上に形成されており、上記素子分離上の上記ポリシリコン膜と上記素子分離上の上記シリサイド層により配線が構成されていることを特徴とする半導体装置。【請求項3】 請求項1又は2記載の半導体装置において、  
上記ポリシリコン膜のうち上記サイドウォールの上方となる部分の高さと最小線幅との比が1/2以上であり、  
上記シリサイド層は、上記ポリシリコン膜の両側面からシリサイド化された部分が中央で相接触して形成されていることを特徴とする半導体装置。【請求項4】 請求項1, 2又は3記載の半導体装置において、  
上記ソース・ドレイン領域に接して形成された第2のシリサイド層をさらに備えていることを特徴とする半導体装置。

【請求項5】 請求項1, 2又は3記載の半導体装置において、

記素子分離はトレンチ型素子分離であり、かつ上記素子分離の上面は上記活性領域内の上記半導体基板の上面もステップ状に高いことを特徴とする半導体装置。

【請求項6】 請求項5記載の半導体装置において、  
上記ポリシリコン膜は、少なくとも上記活性領域上では上記シリコン膜と該第1ポリシリコン膜上に堆積させたポリシリコン膜とからなる2層膜で構成されて

ウォールの高さは上記第1ポリシリコン膜及上記シリコン膜の合計膜厚よりも小さいこと

半導体装置。

【請求項6】 請求項5記載の半導体装置において、  
上記第2ポリシリコン膜のみからなれていて、  
面の高さ位置は、上記活性領域上の上

記第1ポリシリコン膜の上面の高さ位置とほぼ同じであることを特徴とする半導体装置。

【請求項8】 請求項5, 6又は7記載の半導体装置において、

上記第1ポリシリコン膜には、高濃度の第1導電型不純物がドープされており、  
上記第2ポリシリコン膜には、低濃度の第1導電型不純物がドープされていることを特徴とする半導体装置。

【請求項9】 請求項1又は5記載の半導体装置において、

上記サイドウォールは、一般的な構造式がSixNyで表されるシリコン窒化膜からなり、  
上記シリコン窒化膜と上記ポリシリコン膜及び上記半導体基板との間には保護酸化膜が介在することを特徴とする半導体装置。

【請求項10】 半導体基板の一部に設けられた活性領域と、

上記活性領域を取り囲む素子分離と、  
少なくとも上記活性領域の上に形成され上記活性領域上でゲート電極として機能する線状のポリシリコン膜と、  
上記ポリシリコン電極の両側面の上に形成された垂直部と該垂直部の基端部から上記ポリシリコン電極とは対向する側に延びる水平部とを含むほぼ一定厚さのL字状の絶縁膜からなる1対の電極部サイドウォールと、  
上記ポリシリコン膜の上面と上記ポリシリコン膜の両側面のうち上記サイドウォールの上方となる部分とに接して形成され上記活性領域上で上記ポリシリコン膜と共にゲート電極として機能するシリサイド層と、  
上記活性領域のうち上記ポリシリコン膜の両側方に位置する領域に形成されたソース・ドレイン領域とを少なくとも備えていることを特徴とする半導体装置。

【請求項11】 請求項10記載の半導体装置において、

上記ポリシリコン膜は、上記活性領域及び素子分離の上に形成されており、上記素子分離上の上記ポリシリコン膜と上記素子分離上の上記シリサイド層とにより配線が構成されていることを特徴とする半導体装置。

【請求項12】 請求項10又は11記載の半導体装置において、

上記ポリシリコン膜のうち上記サイドウォールの上方となる部分の高さと最小線幅との比が1/2以上であり、  
上記シリサイド層は、上記ポリシリコン膜の両側面からシリサイド化された部分が中央で相接触して形成されていることを特徴とする半導体装置。

【請求項13】 請求項10, 11又は12記載の半導体装置において、

上記ソース・ドレイン領域に接して形成された第2のシリサイド層をさらに備えていることを特徴とする半導体装置。

【請求項14】 請求項10, 11又は12記載の半導

体装置において、

上記素子分離はトレンチ型素子分離であり、かつ上記素子分離の上面は上記活性領域内の上記半導体基板の上面よりもステップ状に高いことを特徴とする半導体装置。

【請求項15】 請求項14記載の半導体装置において、

上記ポリシリコン膜は、少なくとも活性領域上では第1ポリシリコン膜と該第1ポリシリコン膜上に堆積された第2ポリシリコン膜とからなる2層膜で構成されており、

上記サイドウォールの高さは上記第1ポリシリコン膜及び第2ポリシリコン膜の合計膜厚よりも小さいことを特徴とする半導体装置。

【請求項16】 請求項15記載の半導体装置において、

上記素子分離上には、上記第2ポリシリコン膜のみからなる配線が形成されていて、

上記素子分離の上面の高さ位置は、上記活性領域上の上記第1ポリシリコン膜の上面の高さ位置とほぼ同じであることを特徴とする半導体装置。

【請求項17】 請求項14, 15又は16記載の半導体装置において、

上記第1ポリシリコン膜には、高濃度の第1導電型不純物がドープされており、

上記第2ポリシリコン膜には、低濃度の第1導電型不純物がドープされていることを特徴とする半導体装置。

【請求項18】 請求項10又は14記載の半導体装置において、

上記サイドウォールは、一般的な構造式がSixNyで表されるシリコン窒化膜からなり、

上記シリコン窒化膜と上記ポリシリコン膜及び上記半導体基板との間には保護酸化膜が介在することを特徴とする半導体装置。

【請求項19】 半導体基板の表面付近の領域に活性領域を取り囲む素子分離を形成する第1の工程と、上記活性領域内の半導体基板上にゲート絶縁膜を形成する第2の工程と、

上記ゲート絶縁膜及び上記素子分離の上に平板状ポリシリコン膜を堆積する第3の工程と、

上記平板状ポリシリコン膜をエッチングにより選択的に除去して、少なくとも上記活性領域上に線状ポリシリコン膜を形成する第4の工程と、

上記線状ポリシリコン膜が形成された基板上にサイドウォール用絶縁膜を堆積する第5の工程と、

上記サイドウォール用絶縁膜をエッチバックして、上記線状ポリシリコン膜の両側方に線状ポリシリコン膜の高さの4/5以下の高さを有するサイドウォールを形成する第6の工程と、

上記活性領域内の上記線状ポリシリコン膜の両側方に位置する半導体基板内に不純物を導入してソース・ドレイ

ン領域を形成する第7の工程と、

上記線状ポリシリコン膜の上面と、上記線状ポリシリコン膜の両側面のうち上記サイドウォールよりも上方となる部分とが露出した状態で基板の全面に金属膜を堆積する第8の工程と、

高温熱処理により、上記金属膜と上記線状ポリシリコン膜の露出した部分とを反応させて、上記線状ポリシリコン膜の上面と両側面の一部とに接するシリサイド層を形成する第9の工程と、

上記金属膜の未反応部を除去する第10の工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項20】 請求項19記載の半導体装置の製造方法において、

上記第4の工程では、上記活性領域及び上記素子分離の上に線状ポリシリコン膜を形成することを特徴とする半導体装置の製造方法。

【請求項21】 請求項19又は20記載の半導体装置の製造方法において、

上記第6の工程では、上記線状ポリシリコン膜のうち上記サイドウォールの上方となる部分の高さと最小線幅との比が1/2以上となるように上記サイドウォールを形成し、

上記第9の工程では、上記線状ポリシリコン膜の両側面から進行するシリサイド層を中央で相接触させて、上記線状ポリシリコン膜のうち上記サイドウォールの上方となる部分全体をシリサイド化することを特徴とする半導体装置の製造方法。

【請求項22】 請求項19, 20又は21記載の半導体装置の製造方法において、

上記第8の工程では、上記ソース・ドレイン領域の表面が露出した状態で上記金属膜を堆積し、

上記第9の工程では、ソース・ドレイン領域に接する第2のシリサイド層を同時に形成することを特徴とする半導体装置の製造方法。

【請求項23】 請求項19, 20又は21記載の半導体装置の製造方法において、

上記第6の工程では、異方性ドライエッティングを施して、上記線状ポリシリコン膜の厚さとほぼ等しい高さを有するサイドウォールを形成した後、等方性エッティングを施して、上記サイドウォールの高さを低減することを特徴とする半導体装置の製造方法。

【請求項24】 請求項19, 20又は21記載の半導体装置の製造方法において、

上記第5の工程では、サイドウォール用絶縁膜として一般的な構造式がSixNyで表されるシリコン窒化膜を堆積し、

上記第4の工程の後上記第5の工程の前に、少なくとも上記線状ポリシリコン膜及び半導体基板の表面上に保護酸化膜を堆積する工程をさらに備えていることを特徴とする半導体装置の製造方法。

【請求項25】 請求項19, 20又は21記載の半導体装置の製造方法において、

上記第1の工程は、

上記半導体基板上にエッチングストップ膜を堆積する工程と、

上記エッチングストップ膜の上に素子分離形成領域を開口したマスクを形成し、このマスクを用いてエッチングを行い、上記マスクの開口部にある上記エッチングストップ膜を除去した後半導体基板の一部を表面から所定深さまで堀込んでトレンチを形成する工程と、

上記トレンチが形成された基板上にトレンチ埋め込み用絶縁膜を堆積する工程と、

上記トレンチ埋め込み用絶縁膜をエッチバックして、少なくとも上記エッチングストップ膜の表面が露出するまで基板の表面をほぼ平坦にする工程と、

上記エッチングストップ膜を選択的に除去する工程とからなり、

上記トレンチ内に残存する上記トレンチ埋め込み用絶縁膜により、上記活性領域の半導体基板の上面よりもステップ状に高い上面を有するトレンチ型素子分離が構成されることを特徴とする半導体装置の製造方法。

【請求項26】 請求項19, 20又は21記載の半導体装置の製造方法において、

上記第1の工程は、

上記半導体基板上に下層用ポリシリコン膜を堆積する工程と、

上記下層用ポリシリコン膜の上に素子分離形成領域を開口したマスクを形成し、このマスクを用いてエッチングを行い、上記マスクの開口部にある上記下層用ポリシリコン膜を除去した後半導体基板の一部を表面から所定深さまで堀込んでトレンチを形成する工程と、

上記トレンチが形成された基板上にトレンチ埋め込み用絶縁膜を堆積する工程と、

上記トレンチ埋め込み用絶縁膜をエッチバックして、少なくとも上記下層用ポリシリコン膜の表面が露出するまで基板の表面をほぼ平坦にする工程とからなり、

上記トレンチ内に残存する上記トレンチ埋め込み用絶縁膜により、上記活性領域の半導体基板の上面よりもステップ状に高い上面を有するトレンチ型素子分離を構成するとともに、

上記第2の工程は、上記第1の工程のうち上記下層用ポリシリコン膜を堆積する工程の前に行い、

上記第3の工程では、上記下層用ポリシリコン膜及び上記トレンチ型素子分離の上に上記平板状ポリシリコン膜を堆積し、

上記第4の工程では、上記活性領域上においては上記下層用ポリシリコン膜及び上記平板状ポリシリコン膜から上記線状ポリシリコン膜を形成する一方、上記トレンチ型素子分離上においては上記平板状ポリシリコン膜のみから上記線状ポリシリコン膜を形成することを特徴とす

る半導体装置の製造方法。

【請求項27】 請求項25又は26記載の半導体装置の製造方法において、

上記第6の工程では、異方性ドライエッティングを施して、上記線状ポリシリコン膜の厚さとほぼ等しい高さを有するサイドウォールを形成した後、さらに異方性ドライエッティングのオーバーエッティングを行うことによりサイドウォールの高さを低減することを特徴とする半導体装置の製造方法。

【請求項28】 半導体基板の表面付近の領域に活性領域を取り囲む素子分離を形成する第1の工程と、

上記活性領域内の半導体基板上にゲート絶縁膜を形成する第2の工程と、

上記ゲート絶縁膜及び素子分離の上に平板状ポリシリコン膜を堆積する第3の工程と、

上記平板状ポリシリコン膜をエッチングにより選択的に除去して、少なくとも上記活性領域に線状ポリシリコン膜を形成する第4の工程と、

上記半導体基板、素子分離及び線状ポリシリコン膜の上に、サイドウォール用絶縁膜を上記半導体基板、素子分離及び線状ポリシリコン膜の表面形状に倣った形状で堆積する第5の工程と、

上記サイドウォール用絶縁膜の上に上記サイドウォール用絶縁膜とはエッチング選択比の高い材質からなるマスク膜を堆積した後、上記マスク膜をエッチバックして、上記サイドウォール用絶縁膜の隅部のみに上記マスク膜を残す第6の工程と、

上記サイドウォール用絶縁膜の隅部に残されたマスク膜をマスクとしてエッチングを行い、上記線状ポリシリコン膜の両側方に上記線状ポリシリコン膜の高さよりも低い高さを有するL字状サイドウォールを形成する第7の工程と、

上記活性領域内の上記線状ポリシリコン膜の両側方に位置する半導体基板内に不純物を導入してソース・ドレン領域を形成する第8の工程と、

上記マスク膜を除去した後、上記線状ポリシリコン膜の上面と上記線状ポリシリコン膜の両側面のうち上記サイドウォールよりも上方となる部分とが露出した状態で基板の全面上に金属膜を堆積する第9の工程と、

高温熱処理により、上記金属膜と上記線状ポリシリコン膜の露出した部分とを反応させて、上記線状ポリシリコン膜の上面と両側面の一部とに接するシリサイド層を形成する第10の工程と、

上記金属膜の未反応部を除去する第11の工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項29】 請求項28記載の半導体装置の製造方法において、

上記第4の工程では、上記活性領域及び上記素子分離の上に線状ポリシリコン膜を形成することを特徴とする半導体装置の製造方法。

【請求項30】 請求項28又は29記載の半導体装置の製造方法において、

上記第7の工程では、上記線状ポリシリコン膜のうち上記サイドウォールの上方となる部分の高さと最小線幅との比が1/2以上となるように上記サイドウォールを形成し、

上記第10の工程では、上記線状ポリシリコン膜の両側面から進行するシリサイド層を中心で相接触させて、上記線状ポリシリコン膜のうち上記サイドウォールの上方となる部分全体をシリサイド化することを特徴とする半導体装置の製造方法。

【請求項31】 請求項28, 29又は30記載の半導体装置の製造方法において、

上記第9の工程では、上記ソース・ドレイン領域の表面が露出した状態で上記金属膜を堆積し、

上記第10の工程では、ソース・ドレイン領域に接する第2のシリサイド層を同時に形成することを特徴とする半導体装置の製造方法。

【請求項32】 請求項28, 29又は30記載の半導体装置の製造方法において、

上記第5の工程では、サイドウォール用絶縁膜として一般的な構造式がSi<sub>x</sub>N<sub>y</sub>で表されるシリコン窒化膜を堆積し、

上記第4の工程の後上記第5の工程の前に、少なくとも上記線状ポリシリコン膜及び半導体基板の表面上に保護酸化膜を堆積する工程をさらに備えていることを特徴とする半導体装置の製造方法。

【請求項33】 請求項28, 29又は30記載の半導体装置の製造方法において、

上記第1の工程は、

上記半導体基板上にエッチングストップ膜を堆積する工程と、

上記エッチングストップ膜の上に素子分離形成領域を開口したマスクを形成し、このマスクを用いてエッチングを行い、上記マスクの開口部にある上記エッチングストップ膜を除去した後半導体基板の一部を表面から所定深さまで堀込んでトレンチを形成する工程と、

上記トレンチが形成された基板上にトレンチ埋め込み用絶縁膜を堆積する工程と、

上記トレンチ埋め込み用絶縁膜をエッチバックして、少なくとも上記エッチングストップ膜の表面が露出するまで基板の表面をほぼ平坦にする工程と、

上記エッチングストップ膜を選択的に除去する工程とからなり、

上記トレンチ内に残存する上記トレンチ埋め込み用絶縁膜により、上記活性領域の半導体基板の上面よりもステップ状に高い上面を有するトレンチ型素子分離が構成されることを特徴とする半導体装置の製造方法。

【請求項34】 請求項28, 29又は30記載の半導体装置の製造方法において、

上記第1の工程は、

上記半導体基板上に下層用ポリシリコン膜を堆積する工程と、

上記下層用ポリシリコン膜の上に素子分離形成領域を開口したマスクを形成し、このマスクを用いてエッチングを行い、上記マスクの開口部にある上記下層用ポリシリコン膜を除去した後半導体基板の一部を表面から所定深さまで堀込んでトレンチを形成する工程と、

上記トレンチが形成された基板上にトレンチ埋め込み用絶縁膜を堆積する工程と、

上記トレンチ埋め込み用絶縁膜をエッチバックして、少なくとも上記下層用ポリシリコン膜の表面が露出するまで基板の表面をほぼ平坦にする工程とからなり、

上記トレンチ内に残存する上記トレンチ埋め込み用絶縁膜により、上記活性領域の半導体基板の上面よりもステップ状に高い上面を有するトレンチ型素子分離を構成するとともに、

上記第2の工程は、上記第1の工程のうち上記下層用ポリシリコン膜を堆積する工程の前に行い、

上記第3の工程では、上記下層用ポリシリコン膜及びトレンチ型素子分離の上に平板状ポリシリコン膜を堆積し、

上記第4の工程では、上記活性領域上においては上記下層用ポリシリコン膜及び上記平板状ポリシリコン膜から線状ポリシリコン膜を形成する一方、上記トレンチ型素子分離上においては上記平板状ポリシリコン膜のみから線状ポリシリコン膜を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】本発明は、シリサイド化された電極を有するFETを搭載した半導体装置及びその製造方法に係り、特に抵抗値の低減対策に関する。

#### 【0002】

【従来の技術】超LSIの分野では、最近素子の微細化、高密度化、高速化、低消費電力化が進んでいる。そのため、超LSIを製造するためのプロセスにおいては、MOSトランジスタのポリシリコンゲート電極、ポリシリコン配線、ソース・ドレイン拡散層の抵抗を低減し、ソース・ドレイン拡散層容量を低減することで、素子の微細化、高密度化、高速化、低消費電力化の向上を図っている。その場合、一般的に、MOSトランジスタのポリシリコンゲート電極やソース・ドレイン領域、あるいはポリシリコン配線の抵抗を低減するための1つの技術として、シリコンと金属の化合物であるシリサイドを使用するシリサイドプロセスが知られている。また、このシリサイドプロセスを介して形成される半導体装置では、ソース・ドレイン領域の抵抗の低減が可能となることから、ソース・ドレイン領域の面積の縮小と、ソース・ドレイン領域の寄生容量の低減と、超LSIの高速

化とが可能となる。

【0003】ここで、上記シリサイドプロセスの中で、いわゆるシリサイド (Self AlignedSilicide) プロセスと呼ばれるプロセスが開発されている。このシリサイドプロセスでは、MOSトランジスタの構造として、下層のポリシリコン電極と上層のシリサイド層とからなるゲート電極と、ソース・ドレイン領域に接するシリサイド層とを備えたもので、工程中では、ポリシリコン電極とソース・ドレイン領域とを同時にシリサイド化させようとしている。すなわち、シリサイドプロセスを採用すると、同一工程でゲート電極及びソース・ドレイン領域をシリサイド化できるため、工程数が少なく、かつコストも低コストになる。このような利点があるので、シリサイドプロセスは素子の微細化に必要なプロセスとして今後有望視され、研究開発も盛んになってきている。

【0004】以下、従来のシリサイド構造及びシリサイドプロセスについて、図22及び図23(a)～(f)を参照しながら説明する。

【0005】図22は、従来のシリサイド構造を有するMOSトランジスタの断面構造の一例を示す。図22において、各符号と部材との関係は以下の通りである。1はシリコン基板を示す。2aは半導体基板1の上に形成される各MOSトランジスタが配置される活性領域を取り囲んで電気的に分離するために設けられた素子分離を示す。3はゲート酸化膜を示す。4aは活性領域上に形成されゲートとして機能するポリシリコン電極であり、4bは素子分離2a上に形成され配線として機能するポリシリコン配線であって、上記ポリシリコン電極4a及びポリシリコン配線4bは同時に堆積されたポリシリコン膜で構成されている。5はポリシリコン電極4a等を保護するために形成された保護酸化膜を示す。6はトランジスタの信頼性向上として動作時の局所的な電界を緩和するために低濃度の不純物をドープして形成された低濃度ソース・ドレイン領域を示す。7はサイドウォールであり、いわゆるLDD構造を採用するときに、高濃度ソース・ドレイン領域を形成する時のイオン注入マスクとして使用される。8は高濃度の不純物をドープして形成された高濃度ソース・ドレイン領域を示す。高濃度ソース・ドレイン領域8は、N-chトランジスタでは、例えばAs等が注入されたn+領域を示し、P-chトランジスタでは、例えばBF2等が注入されたp+領域を示す。9aはポリシリコン電極4aの上に形成された電極部シリサイド膜を示し、9bはポリシリコン配線4bの上に形成された配線部シリサイド層を示し、9cは高濃度ソース・ドレイン領域8の上に形成された基板部シリサイド層を示す。各シリサイド層9a～9cは、シリサイドプロセスでポリシリコン電極4a、ポリシリコン配線4b、及び高濃度ソース・ドレイン領域8の表面付近の部分を同時にシリサイド化することで形成される。シリサイド材料としては、一般的にTiSi2等の

材料が多く用いられている。その他のシリサイド材料として、CoSi2、NiSi、WSi、PtSi2等も用いられている。

【0006】図22の構造を有する半導体装置においては、ポリシリコン電極4a、ポリシリコン配線4b及び高濃度ソース・ドレイン領域8に接するシリサイド層9a～9cが形成されているので、それぞれの抵抗値を削減できる。例えば、シリサイド層が形成されていないポリシリコン電極、ポリシリコン配線を有する半導体装置の場合、ポリシリコン膜の厚さが330nmあるとポリシリコン膜中にリンをドーピングしても、ポリシリコン膜のシート抵抗値は約30Ω/□程度である。一方、図22に示すシリサイド層9a、9bを含むポリシリコン膜のシート抵抗値は3Ω/□以下に低減できる。又、基板部シリサイド9cを含む高濃度ソース・ドレイン領域8のシート抵抗値は、シリサイド層が形成されていない時の値約100Ω/□から3Ω/□以下に低減される。更に、図22には示していないが、シリサイド構造を有するMOSトランジスタにおいては、ポリシリコン配線4bや高濃度ソース・ドレイン領域8とトランジスタ間を接続する配線金属とのコンタクトが、非シリサイド構造における配線金属とシリコンとの接合ではなく、配線金属とシリサイド層との接合となるため、コンタクト抵抗が1/10以下の値に低減される。

【0007】以上説明したように、ポリシリコン電極4a、ポリシリコン配線4b及び高濃度ソース・ドレイン領域8の上部をシリサイド化することで、抵抗値が減少するので、配線や素子の微細化、高密度化、高速化、低消費電力化を促進させることが可能となる。

【0008】次に、図23(a)～(f)を参照しながら、従来のシリサイド構造を有するMOSトランジスタの製造方法について説明する。

【0009】まず、図23(a)に示すように、シリコン基板1の表面付近の領域において、素子分離2aで囲まれる活性領域の中に、ゲート酸化膜3とポリシリコン電極4aとを形成し、全面に保護酸化膜5を形成する。このとき、素子分離2aの上にも、ポリシリコン電極4aと同時に堆積され同時にパターニングされたポリシリコン配線4b及び保護酸化膜5が形成されている。さらに、ゲート電極4a及び保護酸化膜5をマスクとして、シリコン基板1の活性領域内に不純物イオンを低濃度で注入し、低濃度ソース・ドレイン領域6を形成する。その後、化学的気相成長法(CVD)を用いて堆積した厚い酸化膜に異方性エッチングを施して、ポリシリコン電極4a及びポリシリコン配線4bの両側方に、サイドウォール7を形成する。図23(a)は、このサイドウォール7の形成が完了した時の基板の断面状態を示す。

【0010】次に、図23(b)に示すように、ポリシリコン電極4a及びサイドウォール7をマスクとして、シリコン基板1の活性領域内に不純物イオンを高濃度で

注入し、高濃度ソース・ドレイン領域8を形成する。

【0011】次に、図23(c)に示すように、ポリシリコン電極4a、ポリシリコン配線4b及び高濃度ソース・ドレイン領域8の上に残存する保護酸化膜5をウエット処理により除去し、ポリシリコン膜及びシリコン基板の表面を露出させた後、スパッタリング法を用いて、基板の全面に金属膜10(例えばチタン膜)を堆積する。

【0012】さらに、図23(d)に示すように、600°C~700°CでRTA(Rapid Thermal Annealing)処理[急速熱処理]を行い、ポリシリコン電極4a、ポリシリコン配線4b及び高濃度ソース・ドレイン領域8を構成するシリコンとチタンとを反応させて、TiSi2膜からなるシリサイド層11a~11cを形成する。このとき、素子分離2a及びサイドウォール7の上のチタン膜10は、下地にシリコンが存在しないためシリサイド化されないで、未反応のチタンで構成されている。

【0013】その後、図23(e)に示すように、ウエットエッチングを行なって、各シリサイド層11a~11cは残しながら、素子分離2a及びサイドウォール7の上の未反応チタンからなるチタン膜10のみを選択的に除去する。通常、選択ウエットエッチング液として、アンモニア-過酸化水素水や硫酸-過酸化水素水等を用いる。

【0014】ただし、図23(e)に示す各シリサイド層11a~11cを構成するTiSi2膜(C49)は、熱処理温度が比較的低い温度(600°C~700°C)で形成される膜で抵抗率が若干高い。そこで、図23(f)に示すように、形成されたシリサイド層(TiSi2)11a~11cの抵抗を更に低下させるために、2回目のRTA処理を比較的高温(750°C~850°C)で行なって、抵抗率の低いTiSi2膜(C54)からなるシリサイド層9a~9cを形成する。その後の工程における基板の断面状態の図示は省略するが、層間絶縁膜の堆積、平坦化、コンタクトホールの開口、金属配線膜の堆積、金属配線の形成等を行って、LSIを形成していく。

【0015】以上のような工程によって、図22に示すようなサリサイド構造を有するMOSトランジスタを製造することができる。

#### 【0016】

【発明が解決しようとする課題】以上のように、超LSIの性能向上を行う上で開発、実用化が進められてきたサリサイドプロセスであるが、超LSIの微細化が進み設計ルールも0.35μm, 0.25μmと微細化していくにともない、ポリシリコン電極及びフィールド酸化膜上のポリシリコン配線の幅も0.35μm, 0.25μmと細線化していく。そして、このようなポリシリコン電極4a、ポリシリコン配線4bの細線化に伴い、ポリシリコン膜の単位面積当たりの抵抗値(シート

抵抗値)は変化しないが、ポリシリコン膜そのものの抵抗値はその幅の逆数に比例して増加するという問題がある。

【0017】特に問題となるのは、シリサイド材料として最も多く使用され、プロセス上最も導入が容易なTiSi2膜の場合であり、ポリシリコン膜の幅が1.0μmを下回るようになると単位面積当たりの抵抗値(シート抵抗値)自体が非常に上昇するという特性を持つ。したがって、TiSi2の場合、設計ルールが0.35μm, 0.25μmと微細化された場合、1.0μmを上回る配線のシート抵抗にくらべ、最小線幅の0.35μm, 0.25μmの配線のシート抵抗値は非常に高くなり、シリサイド化したLSI配線として、その有効性を発揮できなくなる(日経マイクロデバイス6月号, 1994, 52~59頁参照)。なお、TiSi2以外の高融点材料としてCoSi2、NiSi等があり、これらの材料はTiSi2にくらべ比較的、細線化による単位面積当たりの抵抗値(シート抵抗値)の増加は少ないが、細線化が更に進むと、やはりTiSi2と同様の問題が発生するつまり抵抗値が増大する虞れがあつたり、実用化が困難であるという問題がある。

【0018】本発明は斯かる点に鑑みてなされたものであり、その目的は、ポリシリコン電極等の上にシリサイド層を有するトランジスタを搭載した半導体装置の構造又は製造方法として、ポリシリコン電極等の寸法の微細化にも対応し得る抵抗値の極めて小さな半導体装置及びその製造方法を提供することにある。

#### 【0019】

【課題を解決するための手段】上記目的を達成するために、本発明が講じた解決手段は、ポリシリコン膜の上面だけでなく側面をもシリサイド化することで、抵抗値の低減を図ったものである。

【0020】具体的に本発明に係る第1の半導体装置は、請求項1に記載されるように、半導体基板の一部に設けられた活性領域と、上記活性領域を取り囲む素子分離と、少なくとも上記活性領域の上に形成され上記活性領域上でゲート電極として機能する線状のポリシリコン膜と、上記ポリシリコン膜の両側面の上に形成され上記ポリシリコン膜の高さの4/5以下の高さを有する絶縁膜からなる1対のサイドウォールと、上記ポリシリコン膜の上面と上記ポリシリコン膜の両側面のうち上記サイドウォールの上方となる部分とに接して形成され上記活性領域上で上記ポリシリコン膜と共にゲート電極として機能するシリサイド層と、上記活性領域のうち上記ポリシリコン膜の両側方に位置する領域に形成されたソース・ドレイン領域とを少なくとも備えている。

【0021】この構成により、ポリシリコン膜の上面だけでなく両側面の一部に接するシリサイド層が設けられているので、その分シリサイド層とポリシリコン膜とで構成されるゲート電極の抵抗値が低減する。したがつ

て、ゲート電極の寸法が微細化されても、十分小さい抵抗値が得られる。

【0022】請求項2に記載されるように、請求項1において、上記ポリシリコン膜を上記活性領域及び素子分離の上に形成し、上記素子分離上の上記ポリシリコン膜と上記素子分離上の上記シリサイド層により配線を構成することができる。

【0023】この構成により、ゲート電極となる部分よりも大きい割合を占める配線部分の抵抗値も低減されることになる。

【0024】請求項3に記載されるように、請求項1又は2において、上記ポリシリコン膜のうち上記サイドウォールの上方となる部分の高さと最小線幅との比を1/2以上として、上記シリサイド層を、上記ポリシリコン膜の両側面からシリサイド化された部分が中央で相接触して形成されている構成とすることができる。

【0025】この構成により、さらにゲート電極が微細化された場合にも、電気抵抗値を低減することが可能となる。

【0026】請求項4に記載されるように、請求項1, 2又は3において、上記ソース・ドレイン領域に接して形成された第2のシリサイド層をさらに設けることができる。

【0027】この構成により、ソース・ドレイン領域に接する第2シリサイド層が形成され、いわゆるサリサイド構造となるので、半導体装置が微細化されても、全体としての抵抗値が小さく維持され、サリサイド構造の利点を損ねることがない。

【0028】請求項5に記載されるように、請求項1, 2又は3において、上記素子分離をトレンチ型素子分離とし、かつ上記素子分離の上面が上記活性領域内の上記半導体基板の上面よりもステップ状に高いように構成することができる。

【0029】この構成により、素子分離がサイドウォール形成時における膜厚の減少による素子分離機能の劣化を防止可能な構造となるので、ポリシリコン膜の高さよりも低いサイドウォールを容易に形成可能な構造となる。したがって、半導体装置の製造工程が安定し、半導体装置の歩留まり及び信頼性が向上する。

【0030】請求項6に記載されるように、請求項5において、上記ポリシリコン膜を、少なくとも上記活性領域上では第1ポリシリコン膜と該第1ポリシリコン膜上に堆積された第2ポリシリコン膜とからなる2層膜で構成し、上記サイドウォールの高さが上記第1ポリシリコン膜及び上記第2ポリシリコン膜の合計膜厚よりも小さくなるように構成することができる。

【0031】この構成により、第1ポリシリコン膜と第2ポリシリコン膜の不純物濃度等の特性を半導体装置の使用目的や種類に応じて適宜調整することが可能となる。

【0032】請求項7に記載されるように、請求項6において、上記素子分離上に上記第2ポリシリコン膜のみからなる配線を形成して、上記素子分離の上面の高さ位置が上記活性領域上の上記第1ポリシリコン膜の上面の高さ位置とほぼ同じになるように構成することができる。

【0033】この構成により、第2ポリシリコン膜の下地がフラットな構造となるので、ポリシリコン膜を形成時におけるパターニング精度が向上する。すなわち、半導体装置が微細化された場合にも、ゲート電極の高い寸法精度を維持することができる。

【0034】請求項8に記載されるように、請求項5, 6又は7において、上記第1ポリシリコン膜に高濃度の第1導電型不純物がドープされ、上記第2ポリシリコン膜に低濃度の第1導電型不純物がドープされている構成とすることができる。

【0035】この構成により、第1ポリシリコン膜の抵抗値が低くなるとともに、第2ポリシリコン膜はシリサイド化が容易な構造となる。したがって、ポリシリコン膜トータルの抵抗値を大幅に低減することができる。

【0036】請求項9に記載されるように、請求項1又は5において、上記サイドウォールを一般的な構造式がSixNyで表されるシリコン窒化膜で構成し、上記シリコン窒化膜と上記ポリシリコン膜及び上記半導体基板との間に保護酸化膜を介設する構成とすることができる。

【0037】この構成により、シリコン窒化膜と酸化膜とのエッチング選択比が高いことから、サイドウォール形成時における素子分離の膜厚の減少を可及的に少なくできる。したがって、素子分離機能が向上することになる。

【0038】本発明に係る第2の半導体装置は、請求項10に記載されるように、半導体基板の一部に設けられた活性領域と、上記活性領域を取り囲む素子分離と、少なくとも上記活性領域の上に形成され上記活性領域上でゲート電極として機能する線状のポリシリコン膜と、上記ポリシリコン電極の両側面の上に形成された垂直部と該垂直部の基端部から上記ポリシリコン電極とは対向する側に延びる水平部とを含むほぼ一定厚さのL字状の絶縁膜からなる1対の電極部サイドウォールと、上記ポリシリコン膜の上面と上記ポリシリコン膜の両側面のうち上記サイドウォールの上方となる部分とに接して形成され上記活性領域上で上記ポリシリコン膜と共にゲート電極として機能するシリサイド層と、上記活性領域のうち上記ポリシリコン膜の両側方に位置する領域に形成されたソース・ドレイン領域とを少なくとも備えている。

【0039】この構成により、サイドウォールが高さを制御しやすい構造となる。したがって、請求項1の作用をより確実に得ることができる。

【0040】請求項11に記載されるように、請求項1

0において、上記ポリシリコン膜を上記活性領域及び素子分離の上に形成して、上記素子分離上の上記ポリシリコン膜と上記素子分離上の上記シリサイド層とにより配線を構成することができる。

【0041】請求項12に記載されるように、請求項10又は11において、上記ポリシリコン膜のうち上記サイドウォールの上方となる部分の高さと最小線幅との比を1/2以上として、上記シリサイド層を、上記ポリシリコン膜の両側面からシリサイド化された部分が中央で相接触して形成されている構成とすることができる。

【0042】請求項13に記載されるように、請求項10, 11又は12において、上記ソース・ドレイン領域に接して形成された第2のシリサイド層をさらに設けることができる。

【0043】請求項14に記載されるように、請求項10, 11又は12において、上記素子分離をトレンチ型素子分離として、かつ上記素子分離の上面が上記活性領域内の上記半導体基板の上面よりもステップ状に高くなるように構成することができる。

【0044】請求項15に記載されるように、請求項14において、上記ポリシリコン膜を少なくとも活性領域上では第1ポリシリコン膜と該第1ポリシリコン膜上に堆積された第2ポリシリコン膜とからなる2層膜で構成し、上記サイドウォールの高さが上記第1ポリシリコン膜及び第2ポリシリコン膜の合計膜厚よりも小さくなるように構成することができる。

【0045】請求項16に記載されるように、請求項15において、上記素子分離上に上記第2ポリシリコン膜のみからなる配線を形成して、上記素子分離の上面の高さ位置が上記活性領域上の上記第1ポリシリコン膜の上面の高さ位置とほぼ同じになるように構成することができる。

【0046】請求項17に記載されるように、請求項14, 15又は16において、上記第1ポリシリコン膜に高濃度の第1導電型不純物がドープされ、上記第2ポリシリコン膜に低濃度の第1導電型不純物がドープされている構成とすることができる。

【0047】請求項18に記載されるように、請求項10又は14において、上記サイドウォールを一般的な構造式がSixNyで表されるシリコン窒化膜で構成し、上記シリコン窒化膜と上記ポリシリコン膜及び上記半導体基板との間に保護酸化膜を介設することができる。

【0048】請求項11～18の構成により、請求項10の作用に加えて、上述の請求項2～9の作用が付加される。

【0049】本発明に係る第1の半導体装置の製造方法は、請求項19に記載されるように、半導体基板の表面付近の領域に活性領域を取り囲む素子分離を形成する第1の工程と、上記活性領域内の半導体基板上にゲート絶縁膜を形成する第2の工程と、上記ゲート絶縁膜及び上

記素子分離の上に平板状ポリシリコン膜を堆積する第3の工程と、上記平板状ポリシリコン膜をエッチングにより選択的に除去して、少なくとも上記活性領域上に線状ポリシリコン膜を形成する第4の工程と、上記線状ポリシリコン膜が形成された基板上にサイドウォール用絶縁膜を堆積する第5の工程と、上記サイドウォール用絶縁膜をエッチバッカして、上記線状ポリシリコン膜の両側方に線状ポリシリコン膜の高さの4/5以下の高さを有するサイドウォールを形成する第6の工程と、上記活性領域内の上記線状ポリシリコン膜の両側方に位置する半導体基板内に不純物を導入してソース・ドレイン領域を形成する第7の工程と、上記線状ポリシリコン膜の上面と、上記線状ポリシリコン膜の両側面のうち上記サイドウォールよりも上方となる部分とが露出した状態で基板の全面に金属膜を堆積する第8の工程と、高温熱処理により、上記金属膜と上記線状ポリシリコン膜の露出した部分とを反応させて、上記線状ポリシリコン膜の上面と両側面の一部とに接するシリサイド層を形成する第9の工程と、上記金属膜の未反応部を除去する第10の工程とを備えている。

【0050】請求項20に記載されるように、請求項19において、上記第4の工程では、上記活性領域及び上記素子分離の上に線状ポリシリコン膜を形成することができる。

【0051】請求項21に記載されるように、請求項19又は20において、上記第6の工程では、上記線状ポリシリコン膜のうち上記サイドウォールの上方となる部分の高さと最小線幅との比が1/2以上となるように上記サイドウォールを形成し、上記第9の工程では、上記線状ポリシリコン膜の両側面から進行するシリサイド層を中央で相接触させて、上記線状ポリシリコン膜のうち上記サイドウォールの上方となる部分全体をシリサイド化することができる。

【0052】請求項22に記載されるように、請求項19, 20又は21において、上記第8の工程では、上記ソース・ドレイン領域の表面が露出した状態で上記金属膜を堆積し、上記第9の工程では、ソース・ドレイン領域に接する第2のシリサイド層を同時に形成することを特徴とする半導体装置の製造方法。

【0053】請求項19～22の方法により、請求項1～4の構成を有する半導体装置を容易に製造することができる。

【0054】請求項23に記載されるように、請求項19, 20又は21において、上記第6の工程では、異方性ドライエッチングを施して、上記線状ポリシリコン膜の厚さとほぼ等しい高さを有するサイドウォールを形成した後、等方性エッチングを施して、上記サイドウォールの高さを低減することが好ましい。

【0055】この方法により、ウェットエッチングではサイドウォールと素子分離とのエッチング選択比を高く

し得るという特性を利用して、第6工程における素子分離の膜厚の減小を可及的に少なくすることができる。

【0056】請求項24に記載されるように、請求項19, 20又は21において、上記第5の工程では、サイドウォール用絶縁膜として一般的な構造式がSixNyで表されるシリコン窒化膜を堆積し、上記第4の工程の後上記第5の工程の前に、少なくとも上記線状ポリシリコン膜及び半導体基板の表面上に保護酸化膜を堆積する工程をさらに設けることができる。

【0057】請求項25に記載されるように、請求項19, 20又は21において、上記第1の工程を、上記半導体基板上にエッチングトップ膜を堆積する工程と、上記エッチングトップ膜の上に素子分離形成領域を開口したマスクを形成しこのマスクを用いてエッチングを行い上記マスクの開口部にある上記エッチングトップ膜を除去した後半導体基板の一部を表面から所定深さまで堀込んでトレンチを形成する工程と、上記トレンチが形成された基板上にトレンチ埋め込み用絶縁膜を堆積する工程と、上記トレンチ埋め込み用絶縁膜をエッチバックして少なくとも上記エッチングトップ膜の表面が露出するまで基板の表面をほぼ平坦にする工程と、上記エッティングトップ膜を選択的に除去する工程とで構成し、上記トレンチ内に残存する上記トレンチ埋め込み用絶縁膜により、上記活性領域の半導体基板の上面よりもステップ状に高い上面を有するトレンチ型素子分離を構成するようを行うことができる。

【0058】この方法により、第6の工程における素子分離の膜厚の減小が生じても、膜厚の減小を見越した段差を予め設けておけば、素子分離機能が劣化するという不具合は生じない。したがって、第6の工程を行う際の条件の選択の幅が拡大し、製造が容易となる。

【0059】請求項26に記載されるように、請求項19, 20又は21において、上記第1の工程を、上記半導体基板上に下層用ポリシリコン膜を堆積する工程と、上記下層用ポリシリコン膜の上に素子分離形成領域を開口したマスクを形成しこのマスクを用いてエッチングを行い上記マスクの開口部にある上記下層用ポリシリコン膜を除去した後半導体基板の一部を表面から所定深さまで堀込んでトレンチを形成する工程と、上記トレンチが形成された基板上にトレンチ埋め込み用絶縁膜を堆積する工程と、上記トレンチ埋め込み用絶縁膜をエッチバックして少なくとも上記下層用ポリシリコン膜の表面が露出するまで基板の表面をほぼ平坦にする工程とで構成し、上記トレンチ内に残存する上記トレンチ埋め込み用絶縁膜により上記活性領域の半導体基板の上面よりもステップ状に高い上面を有するトレンチ型素子分離を構成するとともに、上記第2の工程を上記第1の工程のうち上記下層用ポリシリコン膜を堆積する工程の前に行い、上記第3の工程では上記下層用ポリシリコン膜及び上記トレンチ型素子分離の上に上記平板状ポリシリコン膜を

堆積し、上記第4の工程では上記活性領域上においては上記下層用ポリシリコン膜及び上記平板状ポリシリコン膜から上記線状ポリシリコン膜を形成する一方上記トレンチ型素子分離上においては上記平板状ポリシリコン膜のみから上記線状ポリシリコン膜を形成するようを行うことができる。

【0060】この方法により、請求項25と同じ作用に加えて、ゲート電極をパターニングする際の精度が向上する。

【0061】請求項27に記載されるように、請求項25又は26において、上記第6の工程では、異方性ドライエッティングを施して、上記線状ポリシリコン膜の厚さとほぼ等しい高さを有するサイドウォールを形成した後、さらに異方性ドライエッティングのオーバーエッチングを行うことによりサイドウォールの高さを低減することができる。

【0062】この方法により、エッティング量の制御性のよいドライエッティングによりサイドウォールの高さを調整することができるので、プロセスの安定性が向上する。

【0063】本発明に係る第2の半導体装置の製造方法は、請求項28に記載されるように、半導体基板の表面付近の領域に活性領域を取り囲む素子分離を形成する第1の工程と、上記活性領域内の半導体基板上にゲート絶縁膜を形成する第2の工程と、上記ゲート絶縁膜及び素子分離の上に平板状ポリシリコン膜を堆積する第3の工程と、上記平板状ポリシリコン膜をエッティングにより選択的に除去して、少なくとも上記活性領域に線状ポリシリコン膜を形成する第4の工程と、上記半導体基板、素子分離及び線状ポリシリコン膜の上に、サイドウォール用絶縁膜を上記半導体基板、素子分離及び線状ポリシリコン膜の表面形状に倣った形状で堆積する第5の工程と、上記サイドウォール用絶縁膜の上に上記サイドウォール用絶縁膜とはエッティング選択比の高い材質からなるマスク膜を堆積した後、上記マスク膜をエッチバックして、上記サイドウォール用絶縁膜の隅部のみに上記マスク膜を残す第6の工程と、上記サイドウォール用絶縁膜の隅部に残されたマスク膜をマスクとしてエッティングを行い、上記線状ポリシリコン膜の両側方に上記線状ポリシリコン膜の高さよりも低い高さを有するL字状サイドウォールを形成する第7の工程と、上記活性領域内の上記線状ポリシリコン膜の両側方に位置する半導体基板内に不純物を導入してソース・ドレイン領域を形成する第8の工程と、上記マスク膜を除去した後、上記線状ポリシリコン膜の上面と上記線状ポリシリコン膜の両側面のうち上記サイドウォールよりも上方となる部分とが露出した状態で基板の全面上に金属膜を堆積する第9の工程と、高温熱処理により、上記金属膜と上記線状ポリシリコン膜の露出した部分とを反応させて、上記線状ポリシリコン膜の上面と両側面の一部とに接するシリサイド層

を形成する第10の工程と、上記金属膜の未反応部を除去する第11の工程とを備えている。

【0064】請求項29に記載されるように、請求項28において、上記第4の工程では、上記活性領域及び上記素子分離の上に線状ポリシリコン膜を形成することができる。

【0065】請求項30に記載されるように、請求項28又は29において、上記第7の工程では、上記線状ポリシリコン膜のうち上記サイドウォールの上方となる部分の高さと最小線幅との比が1/2以上となるように上記サイドウォールを形成し、上記第10の工程では、上記線状ポリシリコン膜の両側面から進行するシリサイド層を中心で相接触させて、上記線状ポリシリコン膜のうち上記サイドウォールの上方となる部分全体をシリサイド化することができる。

【0066】請求項31に記載されるように、請求項28, 29又は30において、上記第9の工程では、上記ソース・ドレイン領域の表面が露出した状態で上記金属膜を堆積し、上記第10の工程では、ソース・ドレイン領域に接する第2のシリサイド層を同時に形成することができる。

【0067】請求項28～31の方法により、請求項10～13の構成を有する半導体装置が容易に製造される。

【0068】請求項32に記載されるように、請求項28, 29又は30において、上記第5の工程では、サイドウォール用絶縁膜として一般的な構造式がSixNyで表されるシリコン窒化膜を堆積し、上記第4の工程の後上記第5の工程の前に、少なくとも上記線状ポリシリコン膜及び半導体基板の表面上に保護酸化膜を堆積する工程をさらに設けることができる。

【0069】請求項33に記載されるように、請求項28, 29又は30において、上記第1の工程を、上記半導体基板上にエッティングストップ膜を堆積する工程と、上記エッティングストップ膜の上に素子分離形成領域を開口したマスクを形成しこのマスクを用いてエッティングを行い上記マスクの開口部にある上記エッティングストップ膜を除去した後半導体基板の一部を表面から所定深さまで堀込んでトレンチを形成する工程と、上記トレンチが形成された基板上にトレンチ埋め込み用絶縁膜を堆積する工程と、上記トレンチ埋め込み用絶縁膜をエッチバックして少なくとも上記エッティングストップ膜の表面が露出するまで基板の表面をほぼ平坦にする工程と、上記エッティングストップ膜を選択的に除去する工程とで構成し、上記トレンチ内に残存する上記トレンチ埋め込み用絶縁膜により、上記活性領域の半導体基板の上面よりもステップ状に高い上面を有するトレンチ型素子分離を構成するようを行うことができる。

【0070】請求項34に記載されるように、請求項28, 29又は30において、上記第1の工程を、上記半

導体基板上に下層用ポリシリコン膜を堆積する工程と、上記下層用ポリシリコン膜の上に素子分離形成領域を開口したマスクを形成しこのマスクを用いてエッティングを行い上記マスクの開口部にある上記下層用ポリシリコン膜を除去した後半導体基板の一部を表面から所定深さまで堀込んでトレンチを形成する工程と、上記トレンチが形成された基板上にトレンチ埋め込み用絶縁膜を堆積する工程と、上記トレンチ埋め込み用絶縁膜をエッチバックして少なくとも上記下層用ポリシリコン膜の表面が露出するまで基板の表面をほぼ平坦にする工程とで構成し、上記トレンチ内に残存する上記トレンチ埋め込み用絶縁膜により、上記活性領域の半導体基板の上面よりもステップ状に高い上面を有するトレンチ型素子分離を構成するとともに、上記第2の工程を上記第1の工程のうち上記下層用ポリシリコン膜を堆積する工程の前に行い、上記第3の工程では上記下層用ポリシリコン膜及びトレンチ型素子分離の上に平板状ポリシリコン膜を堆積し、上記第4の工程では上記活性領域上においては上記下層用ポリシリコン膜及び上記平板状ポリシリコン膜から線状ポリシリコン膜を形成する一方、上記トレンチ型素子分離上においては上記平板状ポリシリコン膜のみから線状ポリシリコン膜を形成することができる。

【0071】請求項32, 33, 34の方法により、上述の請求項28の作用に加えて、上述の請求項24, 25, 26と同じ作用が得られることになる。

#### 【0072】

#### 【発明の実施の形態】

(第1の実施形態) まず、第1の実施形態について、図1及び図2(a)～(f)を参照しながら説明する。

【0073】図1は第1の実施形態における半導体装置の断面構造を示す。図1において、各符号と部材名との関係は以下の通りである。1はシリコン基板を示す。2aは各々の活性領域を区画するために設けられた素子分離を示し、該素子分離2aは、LOCOS分離法によって形成された厚さが350nmのシリコン酸化膜で構成されている。3はゲート酸化膜を示し、厚さが9nmのシリコン酸化膜で構成されている。4aは、最小線幅が0.35μm(350nm)、厚さが330nmの線状ポリシリコン膜内にAsをイオン注入によりドープしてなるポリシリコン電極4aを示す。また、4bは、素子分離2aの上に形成されたポリシリコン配線を示し、該ポリシリコン配線4bは、上記ポリシリコン電極4aを構成するポリシリコン膜と同じ材料、同じ最小線幅及び厚さで構成されている。ただし、ポリシリコン配線4bの一部が半導体基板上に存在していてよいものとする。5は、ポリシリコン電極4a等を保護するために形成された保護酸化膜を示し、該保護酸化膜5は、厚さが約10nmのシリコン膜からなる。6は、シリコン基板1の活性領域内に不純物イオンを低濃度で注入して形成された低濃度ソース・ドレイン領域を示す。7aはポリ

シリコン電極4aの両側方に形成された電極部サイドウォールを、7bはポリシリコン配線4bの両側方に形成された配線部サイドウォールをそれぞれ示す。各サイドウォール7a, 7bは、同時に堆積されたシリコン窒化膜で構成され、かつ同じ幅70nmと同じ高さ200nmと有する。すなわち、サイドウォール7a, 7bの高さは、ポリシリコン電極4a及びポリシリコン配線4bの厚さ330nmより130nm低い。つまり、ポリシリコン電極4a及びポリシリコン配線4bの各側面のうちサイドウォール7a, 7bよりも上方に位置する部分の長さは130nmである。8は、シリコン基板1の活性領域内に不純物イオンを高濃度で注入して形成された高濃度ソース・ドレイン領域を示し、該ソース・ドレイン領域8は、上記低濃度ソース・ドレイン領域6に対してポリシリコン電極4aとは対向する側に位置する。

【0074】ここで、本実施形態の特徴として、ポリシリコン電極4aの上面と、ポリシリコン電極4aの両側面のうち電極部サイドウォール7aよりも上方の部分とに接するように、チタンとシリコンとの反応生成物TiSi<sub>2</sub>からなる電極部シリサイド層9aが形成されている。そして、上記ポリシリコン電極4a及び電極部シリサイド層9aにより、ゲート電極が構成されている。また、ポリシリコン配線4bの上面と、ポリシリコン配線4bの両側面のうち配線部サイドウォール7bよりも上方の部分とに接するように、TiSi<sub>2</sub>からなる配線部シリサイド層9bが形成されている。そして、上記ポリシリコン配線4bと配線部シリサイド層9bとによりゲート配線が構成されている。さらに、高濃度ソース・ドレイン領域8に接するTiSi<sub>2</sub>からなる基板部シリサイド層9cが形成されている。本実施形態では、各シリサイド層9a～9cは、厚さが約120nmのTiSi<sub>2</sub>膜で構成されている。

【0075】このように構成された本実施形態の半導体装置では、MOSトランジスタのポリシリコン電極4a及びポリシリコン配線4bの上面と両側面の一部（断面内において、ポリシリコン膜の厚さの1/5以上の長さを有する部分）とに接するシリサイド層9a, 9bが形成されている。一方、図23に示すような従来のシリサイド構造を有する半導体装置では、MOSトランジスタのポリシリコン電極4a及びポリシリコン配線4bの上面にのみ接するシリサイド層9a, 9bが形成されている。したがって、本実施形態における半導体装置の構造では、各シリサイド層9a, 9bがポリシリコン電極9a及びポリシリコン配線4bの両側面上に接する領域にまで亘って形成されている分、ゲート電極及びゲート配線の抵抗値をさらに低減できる。すなわち、従来のシリサイド層9a, 9bの幅は、ポリシリコン膜の幅350nmに等しいが、本実施形態のシリサイド層9a, 9bの幅は、ポリシリコン膜の幅350nmに左右のポリシリコン側面の長さ(130nm+130nm)260n

mを加算した合計した値610nmとなる。したがって、従来の構造に比較してシリサイド層9a, 9bの面積が1.85倍になるため、ゲート電極及びゲート配線の抵抗値も0.54倍に低減できる。

【0076】なお、本実施形態では、ポリシリコン電極4a及びポリシリコン配線4bを構成するポリシリコン膜の両側部のうちシリサイド化される部分の長さを130nmとしているが、本発明は斯かる実施形態に限定されるものではない。ポリシリコン膜の厚さが厚ければ厚いほど、あるいはサイドウォール7a, 7bが低くければ低いほど、ポリシリコン膜のシリサイド化される領域の面積を大きくできるので、ゲート電極及びゲート配線の抵抗値を低減でき、その効果は非常に大きくなる。

【0077】また、本実施形態においては、シリサイド層をTiSi<sub>2</sub>膜で構成したが、その他の材料として、CoSi<sub>2</sub>膜、NiSi膜、WSi膜、PtSi<sub>2</sub>膜等でシリサイド層を構成してもよい。

【0078】更に、各サイドウォール7a, 7bをシリコン窒化膜で構成したが、SiO<sub>2</sub>膜あるいはその他の絶縁膜で構成することもできる。なお、シリコン窒化膜の組成は、本実施形態におけるSi<sub>3</sub>N<sub>4</sub>に限定されるものではなく、一般的な組成式SixNyを満足するものであればよい。

【0079】また、ポリシリコン電極4a及びポリシリコン配線4bを構成するポリシリコン膜の幅、厚さや、各サイドウォール7a, 7bの幅や高さ、各シリサイド層9a～9cを構成するTiSi<sub>2</sub>膜の厚さ等は、本実施形態で示した値に限定されるものではない。

【0080】また、サイドウォール7a, 7bとポリシリコン電極4a, ポリシリコン配線4b及びシリコン基板1との間に保護酸化膜5は必ずしも設けなくてもよい。ただし、本実施形態のごとくサイドウォールを窒化シリコン膜で構成する場合には、下地のポリシリコン膜及びシリコン基板との密着性等を向上する上で、サイドウォールの下方に保護酸化膜を介在させることが好ましい。

【0081】次に、図2(a)～(f)を参照しながら、上記図1に示す半導体装置の製造方法について説明する。

【0082】まず、図2(a)に示すように、シリコン基板1の表面付近の領域において、活性領域を取り囲むための素子分離2aを形成し、活性領域内のシリコン基板1上にゲート酸化膜3を形成した後、基板全体にポリシリコン膜を堆積する。そして、フォトレジストマスクを用いて(図示せず)、エッチングによりポリシリコン膜を選択的に除去して、活性領域の中にポリシリコン電極4aを、素子分離2aの上にポリシリコン配線4aをそれぞれ同時にパターニングする。その後、基板上に保護酸化膜5を形成する。

【0083】本実施形態では、素子分離2aを形成する

際にLOCOS分離法を用い、厚さが350nmのシリコン酸化膜からなる素子分離2aを設けている。ゲート酸化膜3の厚さは9nmである。ポリシリコン電極4a及びポリシリコン配線4bを形成する際、厚さが330nmのポリシリコン膜を堆積し、これを最小線幅0.35μmの細線にパターニングしている。さらに、ポリシリコン電極4a及び保護酸化膜5をマスクとして、活性領域のシリコン基板1内に不純物イオンを低濃度で注入し、低濃度ソース・ドレイン領域6を形成する。その後、化学的気相成長法(CVD)を用いて堆積した厚いシリコン窒化膜に異方性エッティングを施して、ポリシリコン電極4a及びポリシリコン配線4bの両側方に電極部サイドウォール7a及び配線部サイドウォール7bを形成する。ただし、各サイドウォール7a, 7bを形成する際、厚さが200nmのシリコン窒化膜を堆積し、異方性エッティングを行なって、幅が200nm、厚さが330nmのサイドウォール7a, 7bを形成する。

【0084】次に、図2(d)に示すように、ウエットエッティングあるいはドライエッティングによりサイドウォール7a, 7bの高さを低減し、その後不純物イオンを高濃度で注入して高濃度ソース・ドレイン領域8を形成した後、注入された不純物を活性化するための熱処理を行なう。

【0085】この図2(b)に示す工程において、本実施形態では、サイドウォール7a, 7bの高さを低減する方法として、熱磷酸(H<sub>3</sub>PO<sub>4</sub>)によるウエットエッティングを使用しているが、サイドウォール7a, 7bがシリコン窒化膜で構成されているため、保護酸化膜5及び素子分離2aを構成するSiO<sub>2</sub>やポリシリコンとのエッティング選択比が大きく取れる。例えば、150°Cの濃度制御された熱磷酸(H<sub>3</sub>PO<sub>4</sub>)液を使用すれば、シリコン窒化膜のエッティングレートは35Å/minで選択比は30以上となる。そして、等方的エッティングとなり、素子分離2a等をほとんど除去することなく、シリコン窒化膜からなるサイドウォール7a, 7bの寸法を、幅200nm、高さ330nmから幅70nm、高さ200nmまで縮小できる。この時のウエットエッティング時間は、約40minである。なお、ドライエッティングにおいて、シリコン窒化膜とポリシリコン、酸化膜の選択比を大きく取れば、図2(a)に示すサイドウォール形成時にオーバーエッティングを行なって、図2(b)に示すサイドウォール7a, 7bの寸法まで縮小することができる。

【0086】本実施形態ではサイドウォール7a, 7bをシリコン窒化膜で構成して、熱磷酸によるウエットエッティングを行うようにしているので、その際素子分離2aがエッティングされず、素子分離2aの膜厚の減少に起因する分離リーク等の発生もなく安定してトランジスタを形成できる利点がある。

【0087】次に、図2(c)に示すように、ポリシリ

コン電極4a、ポリシリコン配線4b及び高濃度ソース・ドレイン領域8の上に残存する保護酸化膜5をウエット処理により除去し、ポリシリコン電極4a及びポリシリコン配線4b及びシリコン基板1の表面を露出させる。このとき、本実施形態では、NH<sub>4</sub>F対HFに対するエッティング速度比が20対1である溶液を用いて、20secの間ウエットエッティングしている。

【0088】次に、図2(d)に示すように、スパッタリング法を用いて、基板の全面にチタン膜10を堆積する。このチタン膜10の厚さは50nmである。

【0089】さらに、図2(e)に示すように、650°CでRTA(Rapid Thermal Annealing)処理【急速熱処理】を行い、ポリシリコン電極4a、ポリシリコン配線4b及び高濃度ソース・ドレイン領域8を構成するシリコンとチタンとを反応させて、TiSi<sub>2</sub>膜からなるシリサイド層11a～11cを形成する。このとき、ポリシリコン電極4a及びポリシリコン配線4bの上面及び両側面の一部がシリサイド化される。そして、素子分離2a及びサイドウォール7a, 7bの上のチタン膜10は、下地にシリコンが存在しないためシリサイド化されないで、未反応のチタンのままで残っている。

【0090】その後、図2(f)に示すように、ウエットエッティングを行なって、各シリサイド層11a～11cは残しながら、素子分離2a及びサイドウォール7a, 7bの上の未反応チタンからなるチタン膜10のみを選択的に除去する。本実施形態では、選択ウエットエッティング液として、アンモニア-過酸化水素水を用いている。さらに、図2(e)に示す各シリサイド層11a～11cを構成するTiSi<sub>2</sub>膜(C49)は、熱処理温度が比較的低い温度(650°C)で形成される膜で抵抗率が若干高いことから、2回目のRTA処理を比較的高温(825°C)で行ない、抵抗率の低いTiSi<sub>2</sub>膜(C54)からなる電極部シリサイド層9a、配線部シリサイド層9b及び基板部シリサイド層9cを形成する。その後の工程における基板の断面状態の図示は省略するが、層間絶縁膜の堆積、平坦化、コントクトホールの開口、金属配線膜の堆積、金属配線の形成等を行つて、LSIを形成する。

【0091】以上の工程により、図1に示すシリサイド構造を有するMOSトランジスタを搭載した半導体装置を形成することができる。

【0092】(第2の実施形態)次に、第2の実施形態における半導体装置の構造について、図3を参照しながら説明する。

【0093】図3において、上記図1に示す半導体装置の部材と同じ部材には同じ符号を付して、説明を省略する。図3に示すように、本実施形態における半導体装置の構造は、上記第1の実施形態の図1に示す半導体装置の構造とほぼ同じである。ただし、本実施形態では、ポリシリコン電極4a及びポリシリコン配線4bの幅が非

常に微細化されているので、ポリシリコン電極4a及びポリシリコン配線4bの両側部に形成された各シリサイド層9a, 9bがポリシリコン膜の中央で互いに接触している。つまり、各サイドウォール7a, 7bよりも上方に位置するポリシリコン膜がすべてシリサイド化されている点が本実施形態の特徴である。この場合、ポリシリコン電極4a及びポリシリコン配線4bを構成するポリシリコン膜の最小線幅は、ポリシリコン膜のうちシリサイド化される層の深さの2倍以下である。例えばポリシリコン膜のシリサイド化される深さが120nmの場合には、ポリシリコン膜の最小線幅は240nm以下である。その場合には、ポリシリコン膜の両側面から漸次シリサイド化されていく部分が、ポリシリコン膜の上面からシリサイド化されていく部分がサイドウォール7a, 7bの上端と同じ高さ位置まで到達するよりも早く互いに接するようになる。本実施形態では、将来の超微細化LSIにも十分対応し得る利点がある。

【0094】なお、本実施形態における半導体装置の構造を得るために製造工程は、上記第1の実施形態において説明した図2(a)～(f)に示す工程と基本的に同じであるので、図示及び説明を省略する。

【0095】(第3の実施形態) 次に、第3の実施形態における半導体装置の構造について、図4～図6を参照しながら説明する。図4は第3の実施形態における半導体装置の製造工程中における状態を示す斜視図であり、図5は図4に示すV-V線における断面図である。図4及び図5において、上記第1の実施形態の図1に示す部材と同じ部材には同じ符号を付して、説明を省略する。図5に示すように、本実施形態における半導体装置の構造は、上記第1の実施形態の図1に示す半導体装置の構造とほぼ同じである。ただし、本実施形態では、第1の実施形態と異なり、ポリシリコン電極4aの両側面上のサイドウォール7の高さがポリシリコン膜の厚さとほぼ同等であり、電極部シリサイド層9aはポリシリコン電極4aの上面に接する部分のみに形成されている。一方、ポリシリコン電極4aに近い部分を除くポリシリコン配線4bにはサイドウォールが存在せず、配線部シリサイド層9bは、ポリシリコン配線4bの上面および両側面の上に接するように形成されている。なお、基板部シリサイド層9cの構造は、上記第1の実施形態における基板部シリサイド層9cの構造と同じである。

【0096】本実施形態における半導体装置の構造では、通常のMOSLSIにおいてトランジスタの能動領域(活性領域)に存在するポリシリコン電極4aがポリシリコン膜全体に占める割合は、素子分離2a上のポリシリコン配線4bが占める割合に比べ非常に小さい。素子分離2a上のポリシリコン配線4bは各トランジスタの接続等に使用されているからである。したがって、素子分離2a上のポリシリコン配線4bの抵抗値を低減するだけでも、MOSLSIの高速化、高密度化に寄与し

その効果は非常に大きい。本実施形態において、例えば、第1の実施形態と同じくポリシリコン膜の最小線幅が0.35μm(350nm)、ポリシリコン膜の厚さが330nmである場合、配線部シリサイド層9bの図4の断面内における合計長さは、ポリシリコン配線4bの最小線幅の350nmと左右ポリシリコン配線4bの両側方の高さ(330nm+330nm)の合計1010nmとなる。したがって、従来例と比較して約2.9倍の面積がシリサイド化され、抵抗値も単純計算で0.34倍に低減でき、抵抗値の低減効果が特に大きい。

【0097】次に、本実施形態における半導体装置の製造工程について、図6を参照しながら説明する。

【0098】まず、図6(a)に示すように、上記第1の実施形態における図2(a)で説明した工程と同じ工程を実施する。ただし、本実施形態では、サイドウォール7を形成するためのシリコン窒化膜の厚さは100nmとしている。

【0099】次に、図6(b)に示すように、CVD法により、基板の全面上に厚さが20nmのエッチング用酸化膜12を堆積する。

【0100】次に、図6(c)に示すように、NH4F対HFの比が20対1の溶液を用いて、上記エッチング用酸化膜12のうち活性領域及び活性領域の近辺を除く素子分離2a上の部分を除去する。このとき、図示しないが、エッチング用酸化膜12の除去領域のみを開口したフォトレジストマスクを形成して、エッチング用酸化膜のエッチングを行なう。

【0101】次に、図6(d)に示すように、150℃の熱燐酸を用いたウェットエッチングにより、活性領域上のポリシリコン電極4aの両側方のサイドウォール7は残し、素子分離2a上のポリシリコン配線4bの両側方のサイドウォール7を除去する。ただし、図6(d)には示されていないが図5に示すように、活性領域の近辺のポリシリコン配線4bの両側方のサイドウォール7は残存している。

【0102】次に、図6(e)に示すように、NH4F対HFの比が20対1の溶液を用いて、上記エッチング用酸化膜11の残存部分をすべて除去した後、活性領域のポリシリコン電極4a及びサイドウォール7をマスクとして不純物イオンを高濃度で注入し、高濃度ソース・ドレイン領域8を形成する。その後、注入された不純物を活性化するための熱処理を行ない、保護酸化膜5のうち活性領域内のシリコン基板1上で露出した部分及びポリシリコン膜の周囲のサイドウォール7で覆われていない部分をウェットエッチングにより除去する。その後、基板の全面上に厚さが50nmのチタン膜10を堆積する。

【0103】さらに、図6(f)に示すように、1回目のRTA処理により、ポリシリコン膜とチタン膜10とが接触する部分及びシリコン基板1とチタン膜10とが

接触する部分でチタンとシリコンとを反応させて、Ti<sub>Si2</sub>膜よりなるシリサイド層を形成した後、チタン膜10の未反応部を除去した後、2回目のRTA処理を行なって、抵抗率の低いシリサイド層9a～9cを形成する。その後、層間絶縁膜の堆積、平坦化、コンタクトホールの開口、金属配線膜の堆積、金属配線の形成等を行つて、LSIを形成する。

【0104】以上の工程によって、図4及び図5に示すシリサイド構造を有するMOSトランジスタを搭載した半導体装置を形成することができる。

【0105】なお、本実施形態の工程では、ポリシリコン電極4aの側方にのみサイドウォールを形成するため、電極部サイドウォール9a及び配線部サイドウォール9bを形成した後、エッティング用酸化膜12を形成して配線部サイドウォール9bを除去するようにしたが、例えば活性領域内の基板上にのみサイドウォール形成用の絶縁膜を堆積し、異方性エッティングにより電極部サイドウォールを形成するようにしてもよい。

【0106】(第4の実施形態) 次に、第4の実施形態における半導体装置について、図7を参照しながら説明する。図7は第4の実施形態における半導体装置の構造を示す断面図である。図7に示すように、本実施形態の半導体装置の構造は、上記第3の実施形態における図4に示す半導体装置の構造とほぼ同じであるが、本実施形態では、第1の実施形態と同様に、電極部シリサイド層9aが、ポリシリコン電極4aの上面と両側面の一部とに接するように形成されている点が異なる。すなわち、サイドウォール7よりも上方に位置するポリシリコン電極4aの両側面の上に亘って電極部シリサイド層9aが形成されている。

【0107】したがって、本実施形態では、第3の実施形態におけるポリシリコン配線4bの周囲に形成された電極部シリサイド層9bによる大きな抵抗値の低減効果に加え、配線部シリサイド層9aによる抵抗値の低減効果をも発揮することができる。

【0108】(第5の実施形態) 次に、第5の実施形態について、図8～図11を参照しながら説明する。

【0109】図8は本実施形態に係る半導体装置の構造を示す断面図であり、図9は図8の一部を拡大した断面図である。同図において、上記第1の実施形態の図1に示す部材と同じ部材には同じ符号を付して、説明を省略する。図8に示すように、本実施形態における半導体装置の構造は、上記第1の実施形態の図1に示す半導体装置の構造とほぼ同じであるが、本実施形態では、ポリシリコン電極4a及びポリシリコン配線4bの両側方に保護酸化膜5を介してL字状の電極部サイドウォール7a及び配線部サイドウォール7bが設けられている点が第1の実施形態と異なる。そして、電極部シリサイド層9a、配線部シリサイド層9b及び基板部シリサイド層9cの構造は、上記第1の実施形態の図1に示す構造に基

本的に同じである。

【0110】本実施形態では、後述のように、製造工程において、ポリシリコン電極4a及びポリシリコン配線4bを構成するポリシリコン膜の厚さ以下の高さを有するL字状のサイドウォール7a、7bを確実に作り込む利点がある。また、電極部サイドウォール7aの幅をある程度維持しながら高さを低減することが容易となるので、LDD構造によるMOSトランジスタの高速動作や高耐圧性を維持しながら、抵抗値の低減を図ることができる利点がある。

【0111】次に、上記図8及び図9に示す構造を有する半導体装置の製造工程について、図10(a)～(f)及び図11を参照しながら説明する。ただし、図10(a)～(f)は本実施形態に係る半導体装置の製造工程における構造の変化を示す断面図であり、図11は図10(c)に示す状態における半導体装置の一部を拡大して示す断面図である。

【0112】まず、図10(a)に示すように、シリコン基板1の活性領域内に、ゲート酸化膜3を介してポリシリコン電極4aを形成する一方、素子分離2aの上にポリシリコン配線4bを形成する。ただし、これらの部材の材質や形成方法は上記第1の実施形態と同様である。この状態で、基板全体の上に保護酸化膜5を堆積し、ポリシリコン電極4a及びその両側方の保護酸化膜5をマスクとして、不純物イオンを低濃度で注入して、低濃度ソース・ドレイン領域6を形成する。さらに、保護酸化膜5の上に、サイドウォール用のシリコン窒化膜7xと、マスク用ポリシリコン膜14とを、いずれもCVD法により堆積する。このとき、図11に示すように、ポリシリコン電極4a及びポリシリコン配線4bを構成するポリシリコン膜の厚みは330nm、最小線幅は0.35ミクロンであり、保護酸化膜5の厚みは20nmであり、シリコン窒化膜7の厚さは30nmであり、ポリシリコン膜14の厚さは100nmである。

【0113】次に、図10(b)に示すように、RIEにより、ポリシリコン膜14をオーバーエッティングし、コーナー部のみ残して他の部分を除去する。この処理によって、ポリシリコン電極4aとポリシリコン配線4bの基端付近の両コーナー部にそれぞれ電極部ポリシリコンマスク14aと配線部ポリシリコンマスク14bとを形成する。このとき、ポリシリコン膜14とシリコン窒化膜7xとのエッティング選択比は大きい。

【0114】次に、図10(c)に示すように、残存するポリシリコンマスク14a、14bをマスクとしてH<sub>3</sub>PO<sub>4</sub>(150℃の熱磷酸)によるウェットエッティングを行ない、シリコン窒化膜7xのうち各ポリシリコンマスク14a、14bに覆われた部分のみ残し他の部分を除去する。このとき、シリコン窒化膜7xとポリシリコンマスク14a、14bとのエッティングの選択比は、30:1程度にすることができる。この工程により、ポ

リシリコン電極4a及びポリシリコン配線4bの両側方に、いずれもL字状の電極部サイドウォール9a及び配線部サイドウォール9bが形成される。この各サイドウォール9a, 9bの高さは、ポリシリコン電極4a及びポリシリコン配線4bを構成するポリシリコン膜の厚さよりもかなり小さくすることができる。その理由は、上記第1の実施形態の場合には、余りに長時間のエッチングを行ってサイドウォール7a, 7bの高さを低くしようとすると、素子分離2aの膜厚の減少を招き、素子分離機能が劣化する虞れがあったが、本実施形態では斯かる虞れはないからである。

【0115】次に、図10(d)に示すように、ポリシリコン電極4a, 電極部ポリシリコンマスク14a及び電極部サイドウォール9aをマスクとして、活性領域のシリコン基板1内に不純物イオンを高濃度で注入し、高濃度ソース・ドレイン領域8を形成する。その後、ドライエッティング又はウェットエッティングにより、ポリシリコンマスク14a, 14bを除去する。

【0116】次に、図10(e)に示すように、HF系のエッティング液を用いて、基板上で露出した部分の保護酸化膜5を除去する。その後、チタン膜を堆積し、1回目のRTA処理を行なって、チタンとシリコンとの反応によりTiSi<sub>2</sub>膜からなるシリサイド層を形成する。このときの状態は、上記各実施形態の製造工程で図示したとおりであるので、図示は省略する。

【0117】そして、図10(f)に示すように、チタン膜を除去した後、2回目のRTA処理を行なって、抵抗率の低いシリサイド層9a～9cを形成する。その後、層間絶縁膜の堆積、平坦化、コンタクトホールの開口、金属配線膜の堆積、金属配線の形成等を行って、LSIを形成する。

【0118】以上の工程によって、図8及び図9に示すサリサイド構造を有するMOSトランジスタを搭載した半導体装置を形成することができる。

【0119】本実施形態に係る半導体装置の製造方法では、ポリシリコン膜14をエッチバックしてポリシリコンマスク14a, 14bを形成する際に、保護酸膜5によってポリシリコン膜14の下方が覆われているので、時間のドライエッティングを行なっても下地のシリコン基板や素子分離2aをエッティングしてしまうことがなすわち、上記第1の実施形態において、図2に示す工程で、ドライエッティングのオーバーエッチングにより高さの低いサイドウォール7a, 7bを形成すると、素子分離2aの膜厚の減少が大きくなると、素子分離機能が劣化する虞れがある。そこで、上記実施形態では、ウェットエッティングにより高さをドライエッティングのオーバーエッチングによってサイドウォール7a, 7bを形成するようにして、ウェットエッティングの場合、サイドウォールの高さがドライエッティングよりも劣る。その点、また、素子分離2aの素子分離機能の劣化を

防止しながら、非エッティング物の形状の制御性のよいドライエッティングによりサイドウォール7a, 7bを形成することができる。

【0120】なお、本実施形態では、L字状のサイドウォール7a, 7bの高さはポリシリコン電極4a, ポリシリコン配線4bの高さの4/5以下であることが、抵抗値の低減のためには好ましい。ただし、特に本実施形態では、サイドウォール高さのバラツキを極めて小さく抑制できるので、ポリシリコン膜の4/5以上を越える場合でも、ある程度の効果を発揮し得る。

【0121】(第6の実施形態)まず、第6の実施形態について、図12, 図13(a)～(e)及び図14(a)～(e)を参照しながら説明する。

【0122】図12は第6の実施形態における半導体装置の断面構造を示す。本実施形態に係る半導体装置の構造は、図1に示す上記第1の実施形態に係る半導体装置の構造と基本的に同じであり、図1に示す部材と同じ部材は同じ符号を付して、説明を省略する。本実施形態では、上記第1の実施形態におけるLOCOS膜からなる素子分離2aに代えて、トレンチ分離法によって形成されたシリコン酸化膜で構成される素子分離2bを設けている。本実施形態でも、ポリシリコン電極4a及びポリシリコン配線4bは、上記第1の実施形態におけると同様の幅、厚さを有し、含有する不純物の種類、材料も同様の幅、厚さを有し、含有する不純物の種類、材料も同じである。また、各サイドウォール7a, 7b及びゲート酸化膜3の材質、厚さも、第1の実施形態において説明した通りである。さらに、本実施形態においても、第1の実施形態におけると同様の材質、厚みを有する電極部シリサイド層9aと、配線部シリサイド層9bと、基板部シリサイド層9cとが形成されている。

【0123】このように構成された本実施形態の半導体装置では、第1の実施形態と同様に、各シリサイド層9a, 9bがポリシリコン膜の側面にまで亘る分、更に抵抗値を低減できる。

【0124】特に本実施形態では、MOSトランジスタを形成する活性領域を区画するために、トレンチ分離法で形成された素子分離2bを用いているので、サイドウォール7a, 7bを形成する材料が素子分離2bを構成する材料と同じシリコン酸化膜(CVDによって堆積されたSiO<sub>2</sub>膜)である場合でも安定なプロセスを提供できる。すなわち、このようなポリシリコン膜の高さよりも低いサイドウォール7a, 7bを有する構造では、サイドウォール形成のための異方性エッティング工程において、サイドウォール高さを低減するためにオーバーエッチングを行う必要がある。その際、分離絶縁膜(例えばシリコン酸化膜)がサイドウォールのオーバーエッチングと同時にエッティングされても形状が垂直であるため、エッティングによる除去領域の横方向への拡がり(分離絶縁膜幅の減少)が抑えられ、分離耐圧の低下(分離リーキの発生)を招く虞れがない。

【0125】また、ゲート長の小さい微細化されたMOSトランジスタを搭載した半導体装置では、LOCOS法により形成された素子分離はバースピークが生じる等トレンチ構造の素子分離よりも問題が多い。したがって、トレンチ型素子分離の使用はLSIの素子集積度を向上させる点でも有利であるとともに、サイドウォール高さを低減する上で安定なプロセスを提供でき、ポリシリコン膜の両側部の一部までシリサイド化することによる効果と相俟って著効を発揮することができる。

【0126】なお、本実施形態では、ポリシリコン電極4a及びポリシリコン配線4bを構成するポリシリコン膜の側面のうちシリサイド化される部分の長さを130nmとしているが、ポリシリコン膜の厚さが厚ければ高いほど、あるいはサイドウォール7a, 7bの高さが低ければ低いほど、ポリシリコン膜の側方のシリサイド化される領域の面積を大きくできるので、ゲート電極及びゲート配線の抵抗値を低減でき、よって、その効果は非常に大きくなる。

【0127】また、本実施形態においては、シリサイド層をTiSi<sub>2</sub>膜で構成したが、その他の材料として、CoSi<sub>2</sub>膜、NiSi膜、WSi膜、PtSi<sub>2</sub>膜等でシリサイド層を構成してもよい。

【0128】更に、各サイドウォール7a, 7bをSiO<sub>2</sub>膜で構成したが、シリコン窒化膜あるいはその他の絶縁膜で構成することもできる。

【0129】また、ポリシリコン電極4a及びポリシリコン配線4bを構成するポリシリコン膜の幅、厚さや、各サイドウォール7a, 7bの幅や高さ、各シリサイド層9a～9cを構成するTiSi<sub>2</sub>膜の厚さ等は、本実施形態で示した値に限定されるものではない。

【0130】次に、図13(a)～(e)及び図14(a)～(e)を参照しながら、上記図12に示す半導体装置の製造方法について説明する。

【0131】まず、図13(a)に示すように、トレンチ型素子分離を形成するために、シリコン基板1の上面に、下敷き酸化膜21と、トレンチへの埋め込み用シリコン酸化膜を平坦化する際のエッティングストップーとなるシリコン窒化膜22とを堆積し、さらにその上にトレンチ形成領域を開口したレジスト膜23を形成する。

【0132】次に、図13(b)に示すように、レジスト膜23をマスクとして、シリコン窒化膜22、下敷き酸化膜21をエッティングし、更にシリコン基板1を垂直にエッティングして、深さが約300nmのトレンチ24を形成する。

【0133】次に、図13(c)に示すように、基板表面に対して若干熱酸化を行った後、基板の全面上に厚さが約1μmのトレンチへの埋め込み用シリコン酸化膜2xをCVD法を用いて堆積する。

【0134】次に、図13(d)に示すように、埋め込み用シリコン酸化膜2xをCMP法を用いて平坦化する

と同時に、埋め込み用シリコン酸化膜2xから素子分離2bをバーニングする。ここで、本実施形態では、平坦化時のエッティングストップーとしてシリコン窒化膜22を用いているが、ポリシリコン膜を用いてもよい。

又、平坦化法としてCMP法の代わりにレジスト膜を堆積してエッチバックする等の平坦化法を用いてもよい。

【0135】次に、図13(e)に示すように、エッティングストップーとして用いたシリコン窒化膜22と下敷き酸化膜21とをエッティングにより除去する。

【0136】次に、図14(a)に示すように、ゲート酸化を行った後、ポリシリコン膜4xを堆積し、ゲート電極パターン用のレジスト膜31を形成する。本実施形態では、ゲート酸化膜3の膜厚は9nm、ポリシリコン膜4xの厚みは330nmである。

【0137】次に、図14(b)に示すように、レジスト膜31をマスクとしてエッティングを行ってポリシリコン膜4x及びゲート酸化膜3をバーニングし、ゲート長が約0.35μmのポリシリコン電極4aと、ポリシリコン配線4bとを形成する。その後、ポリシリコン電極4a、ポリシリコン配線4a及び素子分離2bをマスクとしてシリコン基板1内に不純物イオンを低濃度で注入し、低濃度ソース・ドレイン領域6を形成する。

【0138】次に、図14(c)に示すように、基板上面にサイドウォール形成用のシリコン酸化膜7xを堆積する。本実施形態におけるこのシリコン酸化膜7xの厚みは120nmであり、第1の実施形態におけるサイドウォール形成用のシリコン酸化膜の厚み(350nm)よりもかなり薄い。これは、次の工程で、異方性の強いドライエッティングによサイドウォールを形成するからである。

【0139】次に、図14(d)に示すように、上記シリコン酸化膜7xの異方性エッティングを行って、ポリシリコン電極4a及びポリシリコン配線4bの両側方に電極部サイドウォール7a及び配線部サイドウォール7bを形成する。

【0140】本実施形態では、サイドウォール高さを低減するためにドライエッティング時のオーバーエッティング量を大きくしており、各サイドウォール7a, 7bの高さを200nm(酸化膜を250nmエッティングすることに相当)とし、ポリシリコン膜7xの厚み以下まで低減している。また、このサイドウォール高さを低減するためのオーバーエッティングによって、素子分離2bの一部も同時にエッティングされる。しかし、トレンチ構造をしている素子分離2bの側面は垂直方向に延びており、しかも素子分離2bの上面は、エッティングストップー膜であるシリコン窒化膜22の膜厚の分だけゲート酸化膜3より高い位置にある。したがって、素子分離2bの一部がある程度除去されても、素子分離2bのうち素子分離として機能する部分の幅は低減することなく、LOCOS法によって形成される素子分離のようにオーバ

バーエッティングによってその幅が低減することに起因するリークの発生等の問題がない。その後、ポリシリコン電極4a<sub>1</sub>、ポリシリコン配線4b<sub>1</sub>、電極部サイドウォール7a<sub>1</sub>、配線部サイドウォール7b<sub>1</sub>及び素子分離2bをマスクとして、シリコン基板1内に不純物イオンを高濃度で注入しさらに熱処理を行って高濃度ソース・ドレイン領域8を形成する。また、これにより低濃度ソース・ドレイン領域6の範囲も決定される。

【0141】次に、図14(e)に示す工程で、上記第1の実施形態における図2(c)～(f)に示す工程と同じ処理を行って、ポリシリコン電極4a<sub>1</sub>、ポリシリコン配線4b<sub>1</sub>及び高濃度ソース・ドレイン領域8を構成するシリコンとチタンとを反応させて、TiSi<sub>2</sub>膜からなるシリサイド層を形成する。その後、層間絶縁膜の堆積、平坦化、コントラクトホールの開口、金属配線膜の堆積、金属配線の形成等を行ってLSIを形成する。

【0142】以上のMOSトランジスタの製造方法により、図13に示すMOSトランジスタの構造を作製でき、低抵抗のポリシリコン電極、配線を容易に形成できる。なお、本実施形態ではサイドウォール材料としてシリコン酸化膜(SiO<sub>2</sub>)を使用したが、シリコン酸化膜以外の窒化膜やその他材料を使用しても差支えない。

【0143】また、シリサイド材料としてTiSi<sub>2</sub>を使用したが、その他の材料、例えば、CoSi<sub>2</sub>、NiSi、PtSi等を使用してもよい。

【0144】(第7の実施形態) 次に、第7の実施形態について、図15、図16(a)～(e)及び図17(a)～(e)を参照しながら説明する。

【0145】図15は、第7の実施形態におけるMOSトランジスタの断面構造の一例を示すものである。図15において、上記第6の実施形態における図12に示す符号と同じ符号を付したものは同一の部材を示し、説明を省略する。

【0146】第6の実施形態とは異なり本実施形態では、活性領域上には第1ポリシリコン電極4a<sub>1</sub>とその上の第2ポリシリコン電極4a<sub>2</sub>とが形成され、活性領域以外のトレンチ型素子分離となる素子分離2b上では、上記第2ポリシリコン配線4b<sub>2</sub>のみが設けられ、第1ポリシリコン配線4b<sub>1</sub>は存在しない。ただし、シリコン基板1上でもポリシリコン膜がゲートとして機能しない部分には、第1ポリシリコン配線4b<sub>1</sub>及び第2ポリシリコン配線4b<sub>2</sub>が形成されている。そして、第1ポリシリコン電極4a<sub>1</sub>の側面のほぼ全体が電極部サイドウォール7a<sub>1</sub>で覆われ、第2ポリシリコン電極4a<sub>2</sub>の上面及びその両側面に接する電極部シリサイド層9a<sub>1</sub>が形成され、第2ポリシリコン配線4b<sub>2</sub>の上面及びその側面に接する配線部シリサイド層9b<sub>1</sub>が形成され、高濃度ソース・ドレイン領域8に接する基板部シリサイド層9c<sub>1</sub>が形成されている。そして、第1、第2ポリシリコン電極4a<sub>1</sub>、4a<sub>2</sub>及び電極部シリサイド層9a<sub>1</sub>によりゲート電極が構成さ

れ、第1、第2ポリシリコン配線4b<sub>1</sub>、4b<sub>2</sub>及び配線部シリサイド層9b<sub>1</sub>によりゲート配線が構成されている。

【0147】後述するように、このような構造を有するトランジスタの製造工程では、トレンチ型素子分離を形成する前に、第1ポリシリコン電極4a<sub>1</sub>及び第1ポリシリコン配線4b<sub>1</sub>となるポリシリコン膜を堆積することで、活性領域上の第1ポリシリコン電極4a<sub>1</sub>や第1ポリシリコン配線4b<sub>1</sub>と素子分離の上面とが同じ高さになる。したがって、それらの上に形成される第2ポリシリコン配線4b<sub>2</sub>内の段差がなくなるので、安定したトランジスタ形成とポリシリコン配線の信頼性の向上とを可能としている。

【0148】このように構成された本実施形態の半導体装置では、MOSトランジスタの第2ポリシリコン電極4a<sub>2</sub>及び第2ポリシリコン配線4b<sub>2</sub>に対し、その上面及び各側面の一部に接するシリサイド層9a<sub>1</sub>、9b<sub>1</sub>が形成されているので、上記第1の実施形態と同様にゲート電極やゲート配線の抵抗値を低減することができる。また、MOSトランジスタを形成する活性領域を区画するために、トレンチ分離法で形成された素子分離2bを用いているので、上記第1の実施形態と同様にサイドウォール7を形成する材料がシリコン酸化膜(CVDによって堆積されたシリコン酸化膜)である場合でも、素子分離2bの幅の減少を招くことがなく分離耐圧の低下を防止できる等、安定なプロセスを提供できる。

【0149】加えて、本実施形態では、ポリシリコン電極を2つのポリシリコン膜からなる2層構造としているので、例えば第1ポリシリコン電極4a<sub>1</sub>は高濃度不純物を含むポリシリコン膜(例えば高濃度n+ポリシリコン)で構成し、第2ポリシリコン電極4a<sub>2</sub>は低濃度不純物を含むポリシリコン膜で構成することで、電極部シリサイド層9a<sub>1</sub>を安定に形成できるという利点がある。不純物濃度が低いポリシリコン膜の方がシリサイド層を安定して形成するために好ましい理由は、不純物として使用される砒素(As)や磷(P)がシリサイド層の形成を阻害するので、一般的には高濃度不純物がドープされたシリサイド層ではシート抵抗が上昇するからである。したがって、高濃度n+ポリシリコン膜で第1ポリシリコン電極4a<sub>1</sub>を構成し、低濃度n-ポリシリコン膜で第2ポリシリコン電極4a<sub>2</sub>を構成して、第2ポリシリコン電極4a<sub>2</sub>の上面及びその両側面の上にシリサイド層9a<sub>1</sub>を形成することで、非常に低抵抗のゲート電極を形成することが可能となる。この効果は、第1、第2ポリシリコン配線4b<sub>1</sub>、4b<sub>2</sub>で構成されるポリシリコン配線4b及び配線部シリサイド層9b<sub>1</sub>についても同様である。

【0150】なお、第1の実施形態と同様に、本実施形態では、各シリサイド層9a<sub>1</sub>、9b<sub>1</sub>、9c<sub>1</sub>をTiSi<sub>2</sub>で構成したが、CoSi<sub>2</sub>、NiSi、WSi、PtSi<sub>2</sub>等の他のシリサイドで構成するようにしてもよい。さらに、サイドウォール7a<sub>1</sub>をSiO<sub>2</sub>で構成したが、

Si3N4あるいはその他の材料で構成してもよい。

【0151】また、ポリシリコン膜の幅、膜厚あるいはサイドウォールの幅、高さや、シリサイド層の膜厚等は本実施形態の寸法に限定されるものではない。

【0152】さらに、各ポリシリコン膜にドーピングされる不純物の導電型をn型としたがp型としてもよい。

【0153】次に、図16(a)～(e)及び図17(a)～(e)を参照しながら、上記図15に示す半導体装置の製造方法について説明する。

【0154】まず、図16(a)に示すように、シリコン基板1の上に、ゲート酸化膜3及び第1ポリシリコン膜4x1を堆積し、その上にトレンチ形成領域を開口したレジスト膜23を形成する。ゲート酸化膜3と第1ポリシリコン膜4x1とは、後の工程で埋め込み用酸化膜を平坦化するためのエッチングストッパーとしても兼用させる。本実施形態では、ゲート酸化膜3の膜厚は9nm、第1ポリシリコン膜4x1の膜厚は200nmである。

【0155】次に、図16(b)に示すように、レジスト膜23をマスクとして、第1ポリシリコン膜4x1、ゲート酸化膜3をエッチングし、更にシリコン基板1を垂直にエッチングして、トレンチ24を形成する。

【0156】次に、図16(c)に示すように、基板表面に対して若干熱酸化を行った後、基板の全面にトレンチへの埋め込み用シリコン酸化膜2xをCVD法を用いて堆積する。

【0157】次に、図16(d)に示すように、シリコン酸化膜2xをCMP法を用いて平坦化すると同時に、シリコン酸化膜2xから素子分離2bをバーニングする。ここで、平坦化時のエッチングストッパーとして第1ポリシリコン膜4x1を用いる。又、平坦化法としてCMP法の代わりにレジスト膜を堆積してエッチバックする等の平坦化法を用いてもよい。また、第1ポリシリコン膜4x1への不純物(p+型不純物)の導入は、図5(a)に示す第1ポリシリコン膜4x1の堆積工程の後か、図5(d)に示す平坦化工程の後に行う。

【0158】次に、図16(e)に示すように、基板上に第2ポリシリコン膜4x2を堆積する。本実施形態では、第2ポリシリコン膜4x2の膜厚は130nmである。その後、第2ポリシリコン膜4x2内に低濃度不純物(n-型不純物)を導入する。

【0159】次に、図17(a)に示すように、第2ポリシリコン膜4x2の上に、ゲート電極バーニング用のレジスト膜31を形成する。

【0160】次に、図17(b)に示すように、レジスト膜31を用いて第1、第2ポリシリコン膜4x1、4x2及びゲート酸化膜3をバーニングし、ゲート長が約0.35μmの第1、第2ポリシリコン電極4a1、4a2と、第1、第2ポリシリコン配線4b1、4b2とを形成する。その後、ポリシリコン電極4a1、4a2、ポリシリコ

ン基板1内に不純物イオンを低濃度で注入し、低濃度ソース・ドレイン領域6を形成する。

【0161】次に、図17(c)に示すように、厚みが120nm程度のサイドウォール形成用のシリコン酸化膜7xを堆積する。

【0162】次に、図17(d)に示すように、上記シリコン酸化膜7xの異方性エッチングを行って、第1ポリシリコン電極4a1の両側面上に電極部サイドウォール7aを形成する。本実施形態では、素子分離2b上の第2ポリシリコン配線4b2の両側面上にはほとんどサイドウォールは形成されない。

【0163】その後、各ポリシリコン電極4a1、4a2、各ポリシリコン配線4b1、4b2、電極部サイドウォール7a、配線部サイドウォール7b及び素子分離2bをマスクとして、シリコン基板1内に不純物イオンを高濃度で注入しさらに熱処理を行って高濃度ソース・ドレイン領域8を形成する。また、これにより低濃度ソース・ドレイン領域6の範囲も決定される。

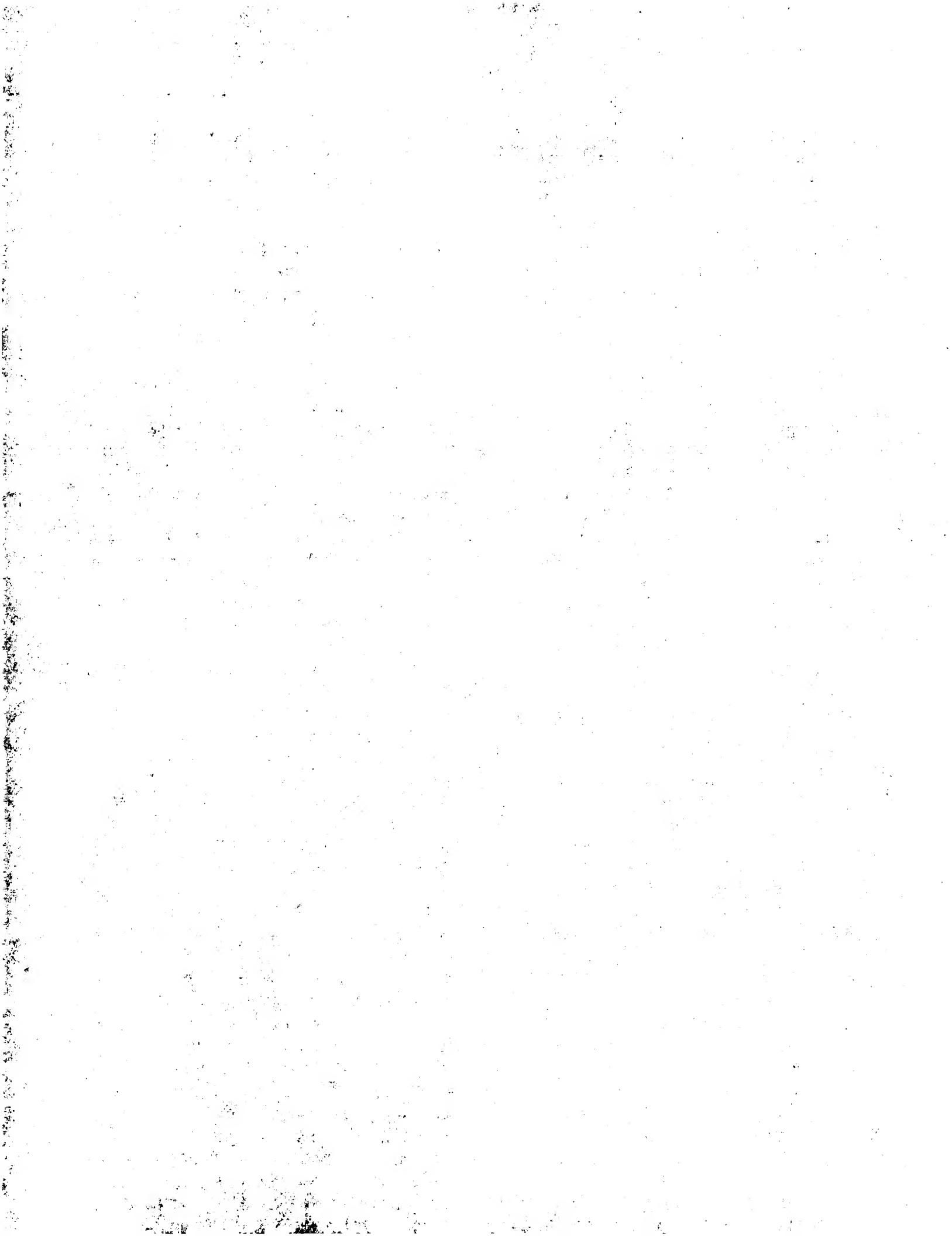
【0164】次に、図17(e)に示す工程で、上記第1実施形態における図1(c)～(f)に示す工程と同じ処理を行って、各シリサイド層9a～9cを形成する。その後、層間絶縁膜の堆積、平坦化、コンタクトホールの開口、金属配線膜の堆積、金属配線の形成等を行ってLSIを形成する。

【0165】以上のMOSトランジスタの製造方法により、図15に示すMOSトランジスタの構造を作製でき、低抵抗のポリシリコン電極、配線を容易に形成できる。特に、第5の実施形態の製造方法と比較して、各ポリシリコン電極4a1、4a2及びポリシリコン配線4b1、4b2をバーニングする際に、下地が完全にフラットになっているので、バーニング性が向上する利点がある。

【0166】(第8の実施形態)次に、第8の実施形態について、図18及び図19(a)～(f)を参照しながら説明する。

【0167】図18は、本実施形態に係る半導体装置の断面図である。同図に示すように、本実施形態では、トレンチ構造の素子分離2bが設けられており、さらに、ポリシリコン電極4a及びポリシリコン配線4bの側面上に保護酸化膜5を介して絶縁膜からなるL字状のサイドウォール7a、7bがそれぞれ形成されている。その他の構造は、上記図8に示す構造と同じである。

【0168】本実施形態の半導体装置により、上記第6の実施形態と同様の効果を発揮することができる。加えて、本実施形態では、後述するように、L字状サイドウォール7a、7bを形成するためのオーバーエッチング時に、トレンチ構造の素子分離2bの膜厚の減少を防止できる利点がある。すなわち、素子分離2bと活性領域の基板面との段差をそれほど大きくしなくても素子分離2bの車アラウンド形式を維持することができる。



たがって、ポリシリコン電極4aとポリシリコン配線4bとの高低差を低減することができ、ポリシリコンゲート4aのバターニング精度の向上を図ることができる。

【0169】次に、図19(a)～(f)を参照しながら、図18に示す半導体装置の製造工程を説明する。

【0170】まず、図19(a)に示す状態は、シリコン基板1の活性領域内に、ゲート酸化膜3を介してポリシリコン電極4aを形成する一方、素子分離2aの上にポリシリコン配線4bを形成する。この状態で、基板全体の上に保護酸化膜5を堆積し、ポリシリコン電極4a及びその両側方の保護酸化膜5をマスクとして、不純物イオンを低濃度で注入して、低濃度ソース・ドレイン領域6を形成する。さらに、保護酸化膜5の上に、サイドウォール用のシリコン窒化膜7xと、マスク用ポリシリコン膜14とを、いずれもCVD法により堆積する。このとき、ポリシリコン電極4a及びポリシリコン配線4b、保護酸化膜5、シリコン窒化膜7x、ポリシリコン膜14の寸法は、上記第5の実施形態と同じであり、素子分離2bのトレンチの深さは及び全体の厚さは上記第6の実施形態と同じである。

【0171】次に、図19(b)に示すように、RIEにより、ポリシリコン膜14をオーバーエッチングし、コーナー部のみ残して他の部分を除去する。この処理によって、ポリシリコン電極4aとポリシリコン配線4bの基端付近の両コーナー部にそれぞれ電極部ポリシリコンマスク14aと配線部ポリシリコンマスク14bとを形成する。このとき、ポリシリコン膜14とシリコン窒化膜7xとのエッチング選択比は大きい。なお、素子分離2bとシリコン基板面との段差が大きい場合には素子分離2bの側面上にもポリシリコン膜14の一部が残る場合があり得るが、本実施形態のごとく段差がそれほど大きくない場合には、素子分離2bの側面上にはポリシリコン膜14が残らない。

【0172】次に、図19(c)～(f)に示す工程で、上記第5の実施形態における図10(c)～(f)に示す工程と同じ工程を行う。その後、層間絶縁膜の堆積、平坦化、コントラクトホールの開口、金属配線膜の堆積、金属配線の形成等を行って、LSIを形成する。

【0173】以上の工程によって、図18に示すサリサイド構造を有するMOSトランジスタを搭載した半導体装置を容易に形成することができる。

【0174】特に、本実施形態の方法では、図19(d)に示す工程で、酸化保護膜5が素子分離2b及び活性領域のシリコン基板の上に形成されているので、サイドウォール7a、7bを形成する際に素子分離2bの膜厚の減少が生じない。したがって、その分素子分離2bとシリコン基板1との間の段差を低減することができ、ゲートのバターニング精度の向上を図ることができる。

【0175】(第9の実施形態) 次に、第9の実施形態

について、図20(a)～(e)及び図21(a)～(e)を参照しながら説明する。本実施形態でも、トレンチ構造を有する素子分離とL字状のサイドウォールを設けている点は、上記第8の実施形態と同じである。ただし、本実施形態では、図21(e)に示すように、素子分離2bが活性領域のシリコン基板と同じ高さ位置に形成されており、ポリシリコン電極9a及びポリシリコン配線4bの下地が完全に平坦化されている。

【0176】まず、図20(a)～(e)に示す工程で、上記第6の実施形態における図13(a)～(e)とほぼ同様の工程を行う。ただし、本実施形態では、図20(e)に示す工程で、素子分離2bと活性領域のシリコン基板とがほぼ平坦化される。このような平坦化は、図20(a)に示す工程でシリコン窒化膜22の厚みを薄めにしておき、図20(e)に示す工程で、シリコン窒化膜22及び下敷き酸化膜21をエッティングする際に、素子分離2bを同時にエッティングして最終的には平坦化することで容易に実現する。つまり、各部のエッティング比等を考慮して、予めシリコン窒化膜22の厚みを決定しておけばよい。あるいは、図20(d)に示す状態からさらにシリコン窒化膜22及び下敷き酸化膜21を除去するようにCMPを行うこともできる。

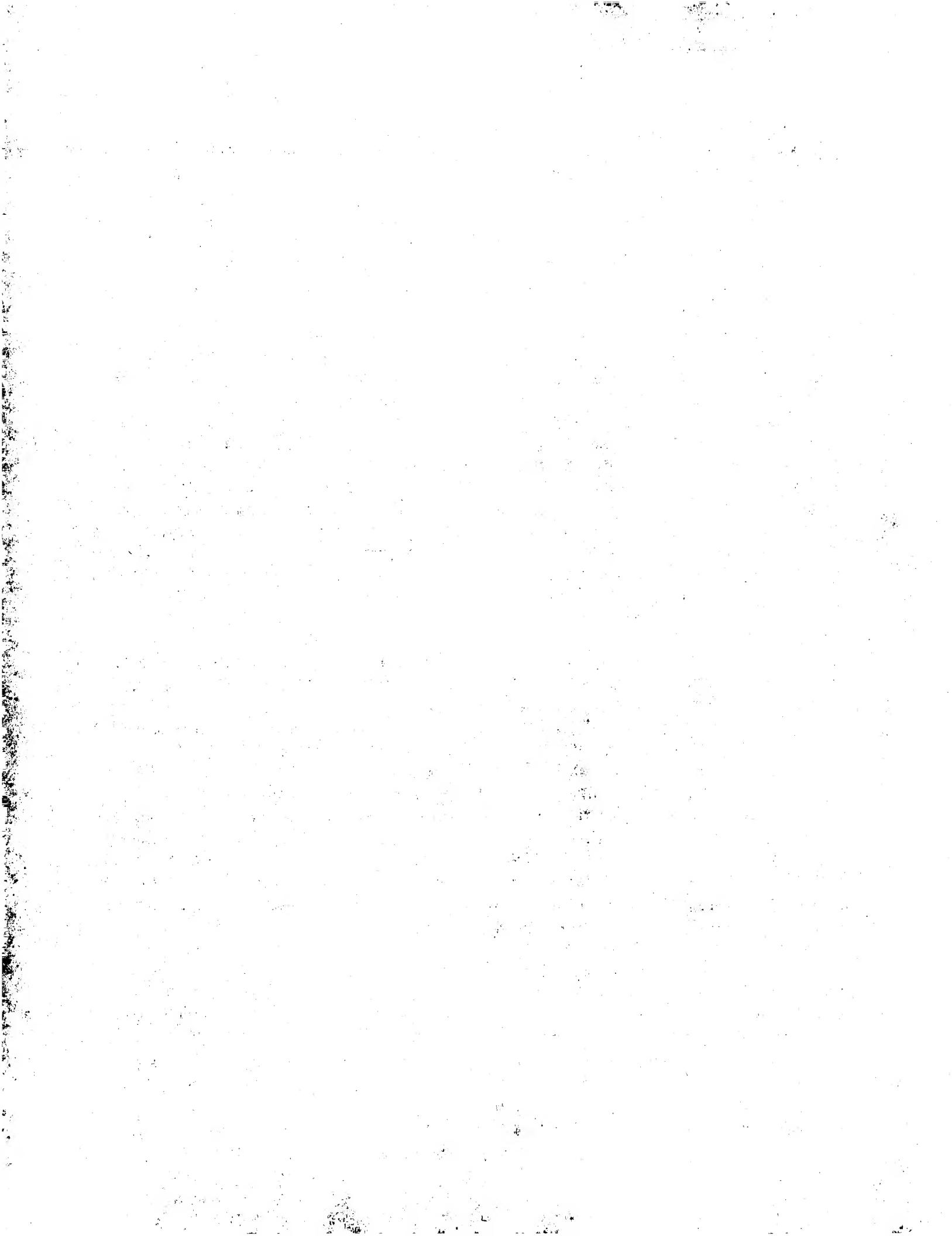
【0177】その後、図21(a)～(e)に示す工程で、上記第8の実施形態における図19(a)～(f)と同じ工程を行う。ただし、本実施形態では、図19(d)に示す工程に対応する工程の図示を省略している。

【0178】本実施形態で形成される半導体装置の構造は、素子分離2bの上面と活性領域のシリコン基板1の上面との間に段差がないことを除けば、上記第8の実施形態による半導体装置の構造と同じである。したがって、上記第8の実施形態とほぼ同じ効果を発揮し、特に、本実施形態では、ポリシリコン電極4a及びポリシリコン配線4bのバターニング時に素子分離2bと活性領域のシリコン基板1とが完全に平坦化されているので、バターニング精度が極めて高くなるという著効を発揮することができる。

【0179】

【発明の効果】請求項1～9によれば、半導体装置のゲート電極等を構成する線状のポリシリコン膜の高さよりも低いサイドウォールを設け、ポリシリコン膜の上面と両側面のうちサイドウォールよりも上方の部分とに接するシリサイド層を設ける構成としたので、寸法が微細化されたポリシリコン電極等においても抵抗値の低減を図ることができる。

【0180】請求項10～18によれば、半導体装置のゲート電極等を構成する線状のポリシリコン膜の高さよりも低いほぼ一定の厚みを有するL字状のサイドウォールを設け、ポリシリコン膜の上面と両側面のうちL字状のサイドウォールよりも上方の部分とに接するシリサイ



ド層を設ける構成としたので、シリサイド層の高さをより安定して形成することができる。

【0181】請求項19～27によれば、請求項1～9の構成を有する半導体装置を容易に製造することができる。

【0182】請求項28～34によれば、請求項10～18の構成を有する半導体装置を容易に製造することができる。

【図面の簡単な説明】

【図1】第1の実施形態に係る半導体装置の断面図である。

【図2】第1の実施形態に係る半導体装置の製造工程を示す断面図である。

【図3】第2の実施形態に係る半導体装置の断面図である。

【図4】第3の実施形態に係る半導体装置の斜視図である。

【図5】図4に示すV-V線における半導体装置の断面図である。

【図6】第3の実施形態に係る半導体装置の製造工程を示す断面図である。

【図7】第4の実施形態に係る半導体装置の断面図である。

【図8】第5の実施形態に係る半導体装置の断面図である。

【図9】第5の実施形態に係る半導体装置の一部を拡大して示す断面図である。

【図10】第5の実施形態に係る半導体装置の製造工程を示す断面図である。

【図11】第5の実施形態に係る半導体装置の製造工程の途中における構造を拡大して示す断面図である。

【図12】第6の実施形態に係る半導体装置の断面図である。

【図13】第6の実施形態に係る半導体装置の製造工程のうち素子分離を形成するまでの工程を示す断面図である。

【図14】第6の実施形態に係る半導体装置の製造工程のうち素子分離を形成した後の工程を示す断面図である。

【図15】第7の実施形態に係る半導体装置の断面図である。

【図16】第7の実施形態に係る半導体装置の製造工程のうち第2ポリシリコン膜を形成するまでの工程を示す断面図である。

【図17】第7の実施形態に係る半導体装置の製造工程のうち第2ポリシリコン膜を形成した後の工程を示す断面図である。

【図18】第8の実施形態に係る半導体装置の断面図である。

【図19】第8の実施形態に係る半導体装置の製造工程を示す断面図である。

【図20】第9の実施形態に係る半導体装置の製造工程のうち素子分離を形成するまでの工程を示す断面図である。

【図21】第9の実施形態に係る半導体装置の製造工程のうち素子分離を形成した後の工程を示す断面図である。

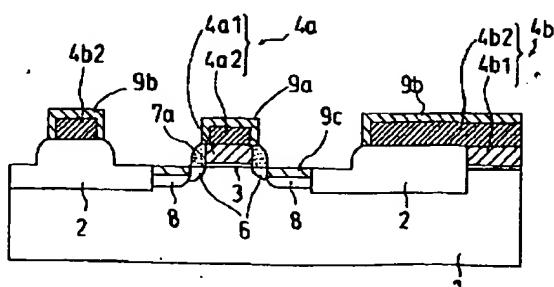
【図22】従来のシリサイド構造を有する半導体装置の断面図である。

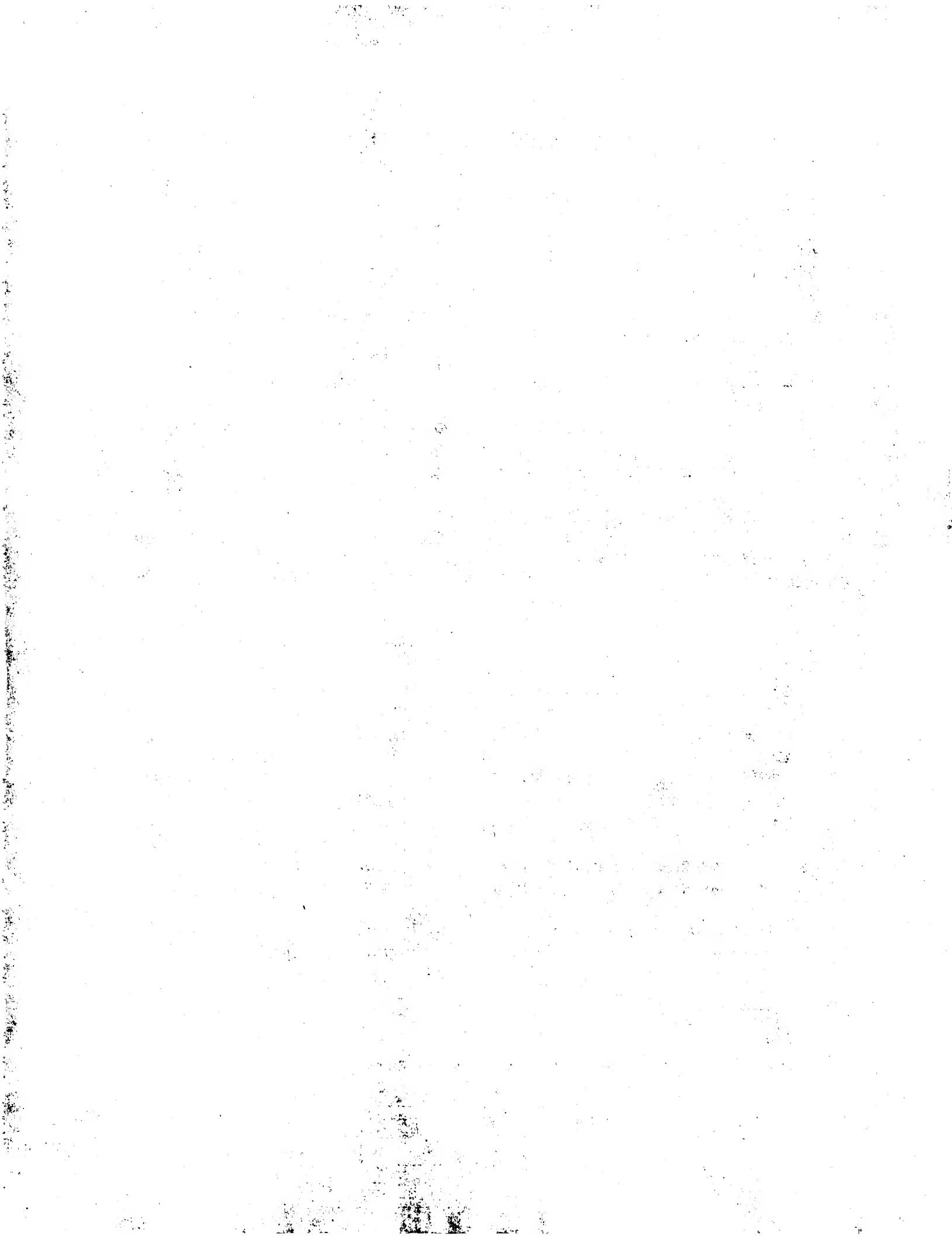
【図23】従来の半導体装置の製造工程を示す断面図である。

【符号の説明】

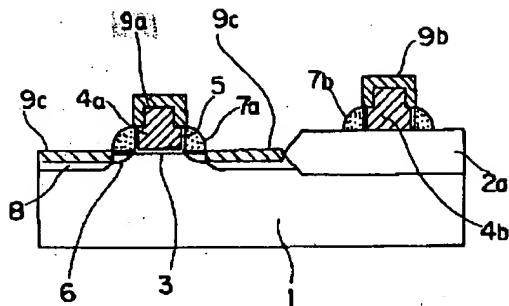
- 1 シリコン基板（半導体基板）
- 2 素子分離
- 3 ゲート酸化膜
- 4 ポリシリコン電極
- 5 保護酸化膜
- 6 低濃度ソース・ドレイン領域
- 7a 電極部サイドウォール
- 7b 配線部サイドウォール
- 8 高濃度ソース・ドレイン領域
- 9a 電極部シリサイド層
- 9b 配線部シリサイド層
- 9c 基板部シリサイド層
- 10 チタン膜（金属膜）
- 11 シリサイド層
- 12 エッチング用酸化膜
- 14 マスク用ポリシリコン膜

【図15】



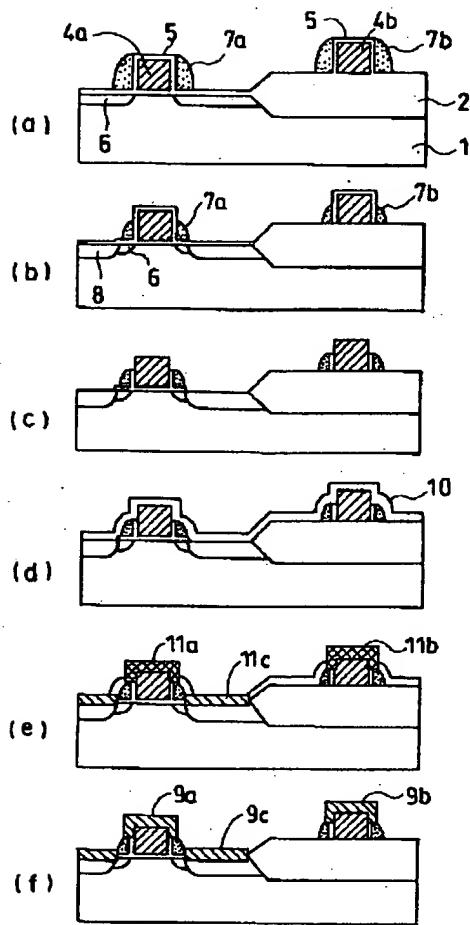


【図1】

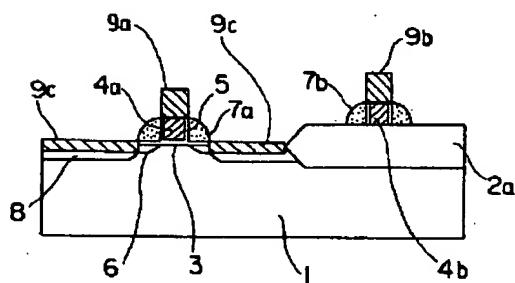


- |                 |                 |
|-----------------|-----------------|
| 1 シリコン基板(半導体基板) | 7 a 電極部サイドウォール  |
| 2 a 素子分離        | 7 b 配線部サイドウォール  |
| 3 ゲート酸化膜        | 8 高濃度ソース・ドレイン領域 |
| 4 ポリシリコン電極      | 9 a 電極部シリサイド層   |
| 5 保護酸化膜         | 9 b 配線部シリサイド層   |
| 6 低濃度ソース・ドレイン領域 | 9 c 基板部シリサイド層   |

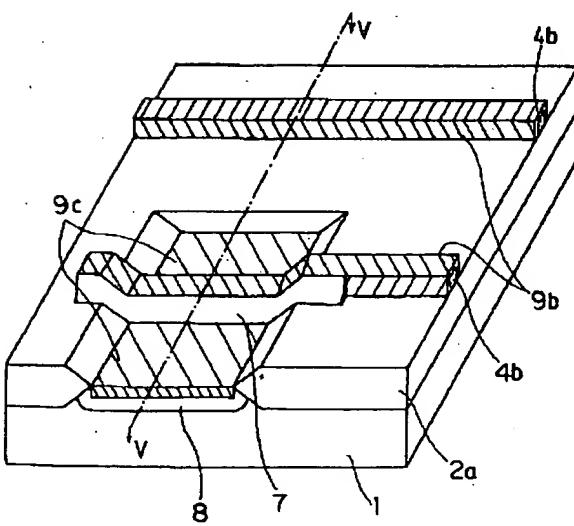
【図2】



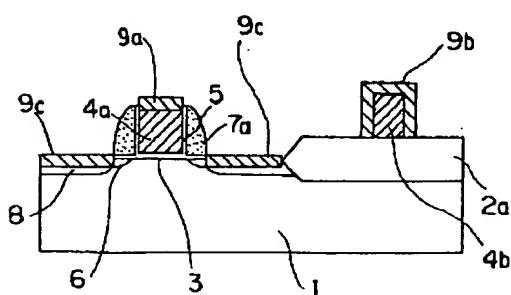
【図3】

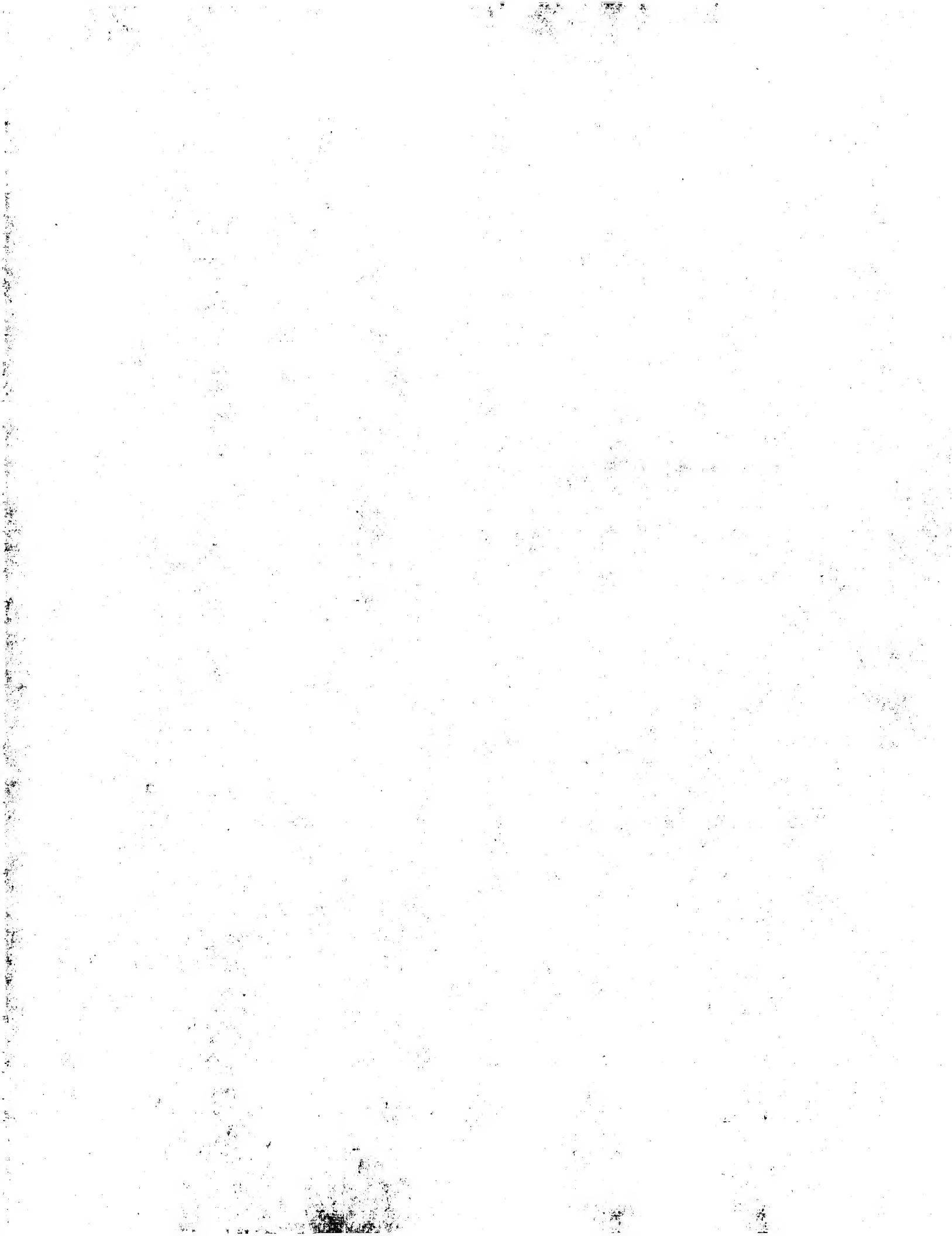


【図4】

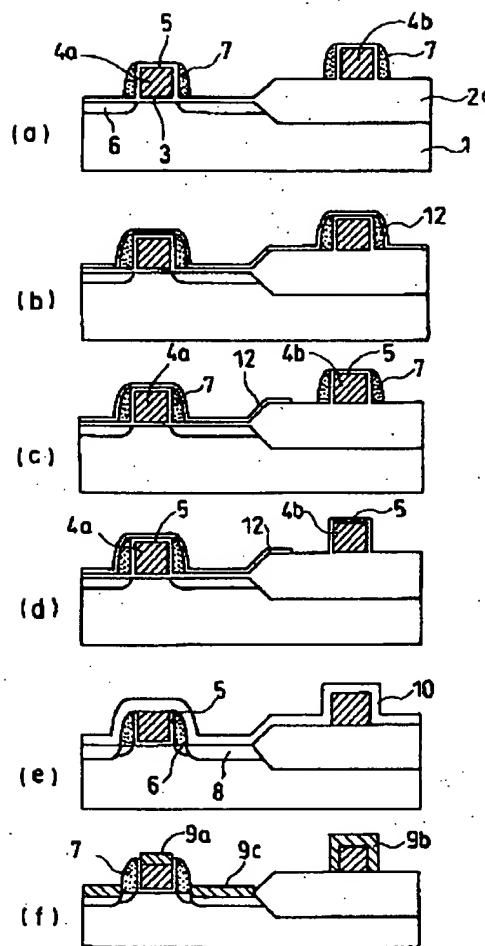


【図5】

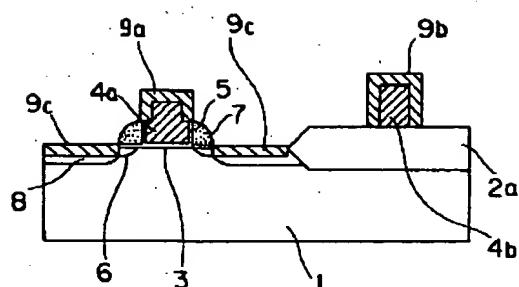




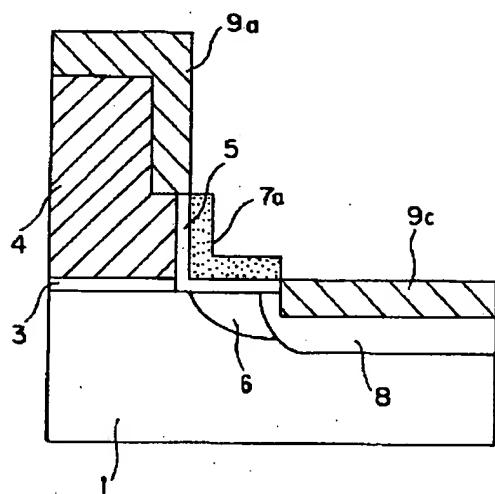
【図6】



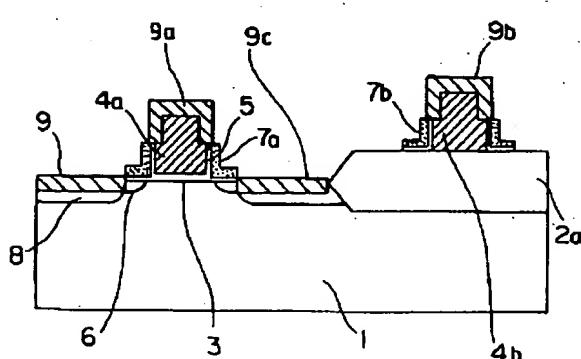
【図7】



【図9】



【図8】



【図11】

